

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   7 月   9 日  
Date of Application:

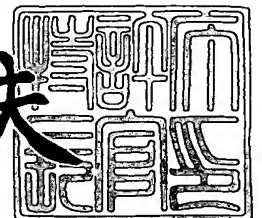
出 願 番 号            特 願 2 0 0 3 - 1 9 4 5 7 5  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 1 9 4 5 7 5 ]

出      願      人            三 菱 電 機 株 式 会 社  
Applicant(s):

2 0 0 3 年   7 月 3 0 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 546792JP01

【提出日】 平成15年 7月 9日

【あて先】 特許庁長官 殿

【国際特許分類】 F02D 45/00

【発明者】

【住所又は居所】 東京都千代田区大手町二丁目 6 番 2 号 三菱電機エンジニアリング株式会社内

【氏名】 橋本 光司

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内

【氏名】 中本 勝也

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100073759

【弁理士】

【氏名又は名称】 大岩 増雄

【選任した代理人】

【識別番号】 100093562

【弁理士】

【氏名又は名称】 児玉 俊英

【選任した代理人】

【識別番号】 100088199

【弁理士】

【氏名又は名称】 竹中 岑生

## 【選任した代理人】

【識別番号】 100094916

## 【弁理士】

【氏名又は名称】 村上 啓吾

## 【手数料の表示】

【予納台帳番号】 035264

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 監視制御回路を有する電子制御装置

【特許請求の範囲】

【請求項1】 不揮発プログラムメモリと、演算処理用RAMメモリと、入力センサ群が接続された入力インタフェース回路と、電気負荷群が接続された出力インタフェース回路と、上記不揮発プログラムメモリに格納された制御プログラムの内容と上記入力センサ群の動作状態に応動して上記電気負荷群を制御するマイクロプロセッサとを備える電子制御装置において、  
上記マイクロプロセッサに対して一対のシリアルインタフェース回路によって接続され、上記マイクロプロセッサに対する質問情報を定期的に順次送信する照会パケット送信手段と、上記質問情報に対する正解情報格納手段と、上記質問情報に基づく回答情報と上記正解情報格納手段に格納されている正解情報とを比較して異常の有無を判定する異常判定手段とを有する監視制御回路部と、  
上記不揮発プログラムメモリに対して入出力制御のための制御プログラムに加えて格納された被監視処理プログラムであって、上記照会パケット送信手段によって送信されてきた質問情報に基づいて実行される模擬演算実行処理手段と、上記模擬演算実行処理手段の実行結果を回答情報として上記監視制御回路部に送信する応答パケット送信手段と、上記照会パケットの受信間隔が異常であるときに上記監視制御回路部を再起動又は警報停止するための逆監視手段である受信間隔異常処理手段とによって構成された被監視処理手段とを備え、  
上記制御プログラムに含まれる被試験対象プログラムと、上記被監視処理プログラムに含まれる模擬演算実行処理手段としての模擬演算実行処理プログラムとは少なくとも一部の共通プログラムを有していることを特徴とする監視制御回路を有する電子制御装置。

【請求項2】 上記模擬演算実行処理プログラムは入力データテーブルを備えると共に、上記被試験対象プログラムと上記模擬演算実行処理プログラムは交互に実行され、上記模擬演算実行処理プログラムで扱われる入力データは上記照会パケットの内容に応じて上記入力データテーブルから順次選択されるものであることを特徴とする請求項1記載の監視制御回路を有する電子制御装置。

【請求項 3】 上記被試験対象プログラムは複数グループに分割されていて、各グループに対応した上記模擬演算実行処理プログラムは該処理プログラムに対応した入力データテーブルを備え、上記照会パケットは上記各入力データテーブル全体の中から一つの入力データ群を選択し、選択された入力データ群が属する上記模擬演算実行処理プログラムと上記各被試験対象プログラムが実行されてから次の入力データ群を順次選択するものであることを特徴とする請求項 1 記載の監視制御回路を有する電子制御装置。

【請求項 4】 不揮発プログラムメモリと、演算処理用 RAMメモリと、入力センサ群が接続された入力インタフェース回路と、電気負荷群が接続された出力インタフェース回路と、上記不揮発プログラムメモリの内容と上記入力センサ群の動作状態に反応して上記電気負荷群を制御するマイクロプロセッサとを備える電子制御装置において、

上記マイクロプロセッサに対して一対のシリアルインタフェース回路によって接続され、上記マイクロプロセッサに対する質問情報を定期的に順次送信する照会パケット送信手段と、上記質問情報に対する正解情報格納手段と、上記質問情報に基づく回答情報と上記正解情報格納手段に格納されている正解情報とを比較して異常の有無を判定する異常判定手段とを有する監視制御回路部と、

上記不揮発プログラムメモリに内蔵された被監視処理プログラムであって、上記照会パケット送信手段によって送信されてきた質問情報に基づいて実行される模擬演算実行処理手段と、上記模擬演算実行処理手段の実行結果を回答情報として上記監視制御回路部に送信する応答パケット送信手段と、上記照会パケットの受信間隔が異常であるときに上記監視制御回路部を再起動又は警報停止するための逆監視手段である受信間隔異常処理手段とを有する被監視処理手段と、

上記マイクロプロセッサが発生するパルス列であるウォッチドグ信号のパルス幅が所定値を超過したときにリセットパルス信号を発生して、上記マイクロプロセッサ及び上記監視制御回路部を再起動又は警報停止させるウォッチドグタイマとを備え、

上記マイクロプロセッサは上記ウォッチドグタイマと上記監視制御回路部によって動作監視されると共に、上記監視制御回路部の監視制御動作を逆監視している

ことを特徴とする監視制御回路を有する電子制御装置。

【請求項 5】 上記不揮発プログラムメモリはツールインタフェース回路を介してシリアル接続された外部ツールから転送書込みされた入出力制御のための上記制御プログラムと、上記被監視処理手段となる上記被監視処理プログラムと、質問情報に対する正解情報データとを有し、上記正解情報データは上記監視制御回路部に設けられた上記正解情報格納手段に対して再転送されるものであることを特徴とする請求項 1～4 のいずれか 1 項に記載の監視制御回路を有する電子制御装置。

【請求項 6】 上記監視制御回路部は補助プログラムメモリと補助 RAM メモリとを備えた補助マイクロプロセッサによって構成され、上記補助プログラムメモリは、上記照会パケット送信手段と上記異常判定手段に対応したプログラムの格納手段とし、上記補助 RAM メモリは、上記不揮発プログラムメモリに予め格納されている正解情報が運転開始時に転送書込みされて、上記補助マイクロプロセッサで適用される正解情報格納手段とし、上記補助マイクロプロセッサは上記補助プログラムメモリと協働して上記照会パケットの送信と上記異常判定を実行すると共に、上記マイクロプロセッサと協働して上記補助 RAM メモリに対する正解情報の転送処理を実行するものであることを特徴とする請求項 1～5 のいずれか 1 項に記載の監視制御回路を有する電子制御装置。

【請求項 7】 上記マイクロプロセッサは上記監視制御回路部から送信されてきた  $n$  番目の照会パケットを受信した直後に、前回の  $n-1$  番目の照会パケットの内容に対応した応答パケットを返信し、該応答パケットの返信によって上記  $n$  番目の照会パケットを受信したことに対する認知情報を兼ねるものであることを特徴とする請求項 1～6 のいずれか 1 項に記載の監視制御回路を有する電子制御装置。

【請求項 8】 上記被監視処理手段は、上記監視制御回路部に対して送信し、上記監視制御回路部が上記照会パケットを定期送信することを許可又は禁止する情報を包含した第一の同期パケット送信手段を備え、上記監視制御回路部は、運転開始後所定時間を超過しても上記監視制御回路部が

上記第一の同期パケットによる定期送信許可が得られないときに作用し、警報停止、再起動及び警報・表示のいずれかを実施する監視許可異常処理手段を備えていることを特徴とする請求項7記載の監視制御回路を有する電子制御装置。

【請求項9】 上記被監視処理手段は、上記監視制御回路部に対して送信し、上記監視制御回路部が送信した初回の1番目照会パケットを受信したことに対する認知手段となる第二の同期パケット送信手段を備え、循環する次の1番目照会パケットを受信したときは最終番目の照会パケットに対する応答パケットが返信されるものであることを特徴とする請求項8に記載の監視制御回路を有する電子制御装置。

【請求項10】 上記監視制御回路部は、各種の受信パケットのうち、少なくとも上記マイクロプロセッサから送信されてくる応答パケットのサムチェック操作によるビット情報の欠落・混入の判定結果によって正常受信であったか不正受信であったかを判定する受信確認手段を備えると共に、所定の初期値を有するエラーカウンタを備え、

上記受信確認手段が正常受信の判定であったときには上記エラーカウンタのダウンカウントを行い、正常受信であっても上記異常判定手段によって応答パケットの内容が不正解であったと判定されたときには上記エラーカウンタを複数カウント分だけアップカウントさせると共に、上記エラーカウンタの現在値が所定値を超過したときにはカウントアップ出力によって上記マイクロプロセッサの再起動又は警報停止を行うことを特徴とする請求項1～9のいずれか1項に記載の監視制御回路を有する電子制御装置。

【請求項11】 上記照会パケットは上記エラーカウンタの現在値情報を包含すると共に、

上記不揮発プログラムメモリは、上記エラーカウンタの現在値が所定値以下となったときに作用して、前回の照会パケットの内容に合致しない意図的な誤答である上記応答パケットを送信する誤答送信選択手段と、

上記監視制御回路部が誤答を受信したことを認識して上記エラーカウンタの現在値が増加するかどうかを監視して、上記監視制御回路部の異常判定手段が正常に作動していないときに上記監視制御回路部を再起動又は警報停止するための逆監

視手段となる現在値監視手段となるプログラムとを備えていることを特徴とする請求項 10 に記載の監視制御回路を有する電子制御装置。

【請求項 12】 上記不揮発プログラムメモリは、上記監視制御回路部から受信した上記照会パケットの内容がサムチェック異常のビット情報の欠落・混入異常であるときに作用して、次回送信される上記応答パケットの内容を所定の誤答に決定するプログラムである誤答送信確定手段を備えていることを特徴とする請求項 10 又は請求項 11 に記載の監視制御回路を有する電子制御装置。

【請求項 13】 上記監視制御回路部は、各種の受信パケットのうち、少なくとも上記マイクロプロセッサから送信されてくる上記応答パケットのサムチェック操作によるビット情報の欠落・混入の判定結果によって正常受信であったか不正受信であったかを判定し、該判定結果に応じて正常確認パケット又は不正常確認パケットを選択して上記マイクロプロセッサに対して返信する受信確認応答手段と、

上記照会パケットを送信してから所定時間を経過しても上記マイクロプロセッサから応答パケットが返信されないか又は上記不正受信が継続しているときに作用して上記マイクロプロセッサを再起動又は警報停止する応答間隔異常処理手段とを備え、

上記不揮発プログラムメモリは、上記不正常確認パケットを受信したマイクロプロセッサが再度上記応答パケットを送信する再送処理手段と、上記マイクロプロセッサが上記応答パケットを送信してから正常確認パケットを受信するまでの時間が所定値を超過したときに作用して上記監視制御回路部を再起動又は警報停止する確認返信異常処理手段となる処理プログラムとを備えていることを特徴とする請求項 1～12 のいずれか 1 項に記載の監視制御回路を有する電子制御装置。

#### 【発明の詳細な説明】

#### 【0001】

#### 【発明の属する技術分野】

この発明は、マイクロプロセッサを内蔵した電子制御装置、特に制御の安全性を向上させるために監視制御回路が付加された電子制御装置の改良に関するものである。



**【0002】****【従来の技術】**

マイクロプロセッサの動作をウォッチドグ信号で監視したり、運転中にプログラムメモリの内容をチェックすることについては様々な工夫がなされている。例えば、特許文献1によれば、メインCPUがサブCPUから出力されるウォッチドグパルス信号の周期を監視し、その結果に基づいてサブCPUの異常を検出する機能を有し、サブCPUがメインCPUから出力されるウォッチドグパルス信号の周期を監視し、その結果に基づいてメインCPUの異常を検出する機能を有するようにして、メインCPUとサブCPUとが相互に異常を検出する技術が示されている。

**【0003】**

また、特許文献2によれば、メインCPUとサブCPUの2つのCPUで構成されるシステムにおいて、メインCPUの動作は外部に設けたウォッチドグタイマ回路によって監視され、サブCPUの動作はメインCPUによって監視される暴走監視手段が提示されている。

更に、特許文献3によれば、制御プログラムや判定用データ等を格納したROMメモリの内容は、マイクロプロセッサの処理負荷に応じて時分割されてサムチェックを行い、制御プログラムの異常の有無を検出する技術が提示されている。

**【0004】**

その他、この発明に関連して、特許文献4によれば、データ通信を制御し、通信エラーを検出するとエラー通知信号を出力する通信制御部と、エラー通知信号の入力に応じてアップカウントするエラーカウンタと、このエラーカウンタのカウント値が正の所定値に達したことに応じて通信異常を報知する報知部とを備えた通信監視装置において、通信制御部にてデータ通信の制御が正常に行われるとエラーカウンタのカウント値をカウントダウンするカウンタ減算手段を設ける技術が提示されている。

**【0005】****【特許文献1】**

特開平5-97042号公報

**【特許文献 2】**

特開平 5-81222 号公報

**【特許文献 3】**

特開 2001-227402 号公報

**【特許文献 4】**

特開平 9-162814 号公報

**【0006】****【発明が解決しようとする課題】****(1) 従来技術の課題の説明**

特許文献 1 や特許文献 2 のものは、メイン CPU やサブ CPU の暴走監視を行うことに主眼があり、CPU による制御内容に対する監視を行うものではない。

また、特許文献 3 のものは制御内容に関わるプログラムメモリの内容のサムチェックを行って、制御の信頼性を向上することが期待されるが、これはあくまでも自己診断機能であって疑いを持たれたものが疑いのある部分をチェックするものであることの弱点があるのと、制御動作そのものの診断ではないという問題点が残されている。

更に、特許文献 4 によるものは通信エラーの発生後の対策手段であって、制御動作の異常を検出するためのものではない。

**【0007】****(2) 発明の目的の説明**

この発明の第一の目的は、併用接続された監視制御回路部によって監視制御の対象となるマイクロプロセッサの制御プログラムの動作チェックを行って、安全性の高い電子制御装置を提供することである。

この発明の第二の目的は、監視制御回路部が併用されたことによって、システムが複雑化したことに伴うシステム全体としての安全性の低下を防止することができる監視制御回路を有する電子制御装置を提供することである。

**【0008】****【課題を解決するための手段】**

この発明に係わる監視制御回路を有する電子制御装置は、不揮発プログラムメ

メモリと、演算処理用 RAMメモリと、入力センサ群が接続された入力インタフェース回路と、電気負荷群が接続された出力インタフェース回路と、上記不揮発プログラムメモリに格納された制御プログラムの内容と上記入力センサ群の動作状態に応動して上記電気負荷群を制御するマイクロプロセッサとを備える電子制御装置において、

上記マイクロプロセッサに対して一対のシリアルインタフェース回路によって接続され、上記マイクロプロセッサに対する質問情報を定期的に順次送信する照会パケット送信手段と、上記質問情報に対する正解情報格納手段と、上記質問情報に基づく回答情報と上記正解情報格納手段に格納されている正解情報とを比較して異常の有無を判定する異常判定手段とを有する監視制御回路部と、

上記不揮発プログラムメモリに対して入出力制御のための制御プログラムに加えて格納された被監視処理プログラムであって、上記照会パケット送信手段によって送信されてきた質問情報に基づいて実行される模擬演算実行処理手段と、上記模擬演算実行処理手段の実行結果を回答情報として上記監視制御回路部に送信する応答パケット送信手段と、上記照会パケットの受信間隔が異常であるときに上記監視制御回路部を再起動又は警報停止するための逆監視手段である受信間隔異常処理手段とによって構成された被監視処理手段とを備え、

上記制御プログラムに含まれる被試験対象プログラムと、上記被監視処理プログラムに含まれる模擬演算実行処理手段としての模擬演算実行処理プログラムとは少なくとも一部の共通プログラムを有しているものである。

#### 【0009】

また、この発明に係わる監視制御回路を有する電子制御装置は、不揮発プログラムメモリと、演算処理用 RAMメモリと、入力センサ群が接続された入力インタフェース回路と、電気負荷群が接続された出力インタフェース回路と、上記不揮発プログラムメモリの内容と上記入力センサ群の動作状態に応動して上記電気負荷群を制御するマイクロプロセッサとを備える電子制御装置において、

上記マイクロプロセッサに対して一対のシリアルインタフェース回路によって接続され、上記マイクロプロセッサに対する質問情報を定期的に順次送信する照会パケット送信手段と、上記質問情報に対する正解情報格納手段と、上記質問情報

に基づく回答情報と上記正解情報格納手段に格納されている正解情報とを比較して異常の有無を判定する異常判定手段とを有する監視制御回路部と、  
上記不揮発プログラムメモリに内蔵された被監視処理プログラムであって、上記照会パケット送信手段によって送信されてきた質問情報に基づいて実行される模擬演算実行処理手段と、上記模擬演算実行処理手段の実行結果を回答情報として上記監視制御回路部に送信する応答パケット送信手段と、上記照会パケットの受信間隔が異常であるときに上記監視制御回路部を再起動又は警報停止するための逆監視手段である受信間隔異常処理手段とを有する被監視処理手段と、  
上記マイクロプロセッサが発生するパルス列であるウォッチドグ信号のパルス幅が所定値を超過したときにリセットパルス信号を発生して、上記マイクロプロセッサ及び上記監視制御回路部を再起動又は警報停止させるウォッチドグタイマとを備え、  
上記マイクロプロセッサは上記ウォッチドグタイマと上記監視制御回路部によって動作監視されると共に、上記監視制御回路部の監視制御動作を逆監視しているものである。

#### 【0010】

##### 【発明の実施の形態】

実施の形態1の構成の詳細な説明。

図1はこの発明の実施の形態1における監視制御回路を有する電子制御装置を示す全体構成図である。図1には、一枚の電子基板上でマイクロプロセッサ20aを主体として構成された電子制御装置10aが示されている。まず、電子制御装置10aは、その外部に接続されるものとして、ON/OFF信号又はアナログ信号を含む入力センサ群11、電子制御装置10aによって駆動される電気負荷群12、電子制御装置10aに対してシリアル接続された外部ツール13、警報表示器14がある。外部ツール13は、製品出荷時又は保守点検時に電子制御装置10aに対して、図示しない脱着コネクタを介して接続され、後述の不揮発プログラムメモリ25aに制御プログラム26aや被監視処理プログラム27aを転送書込みするためのものである。

#### 【0011】

次に、電子制御装置10aは、その内部の構成として、後述の各種インタフェース回路やメモリに対してバス接続されたマイクロプロセッサ20a、このマイクロプロセッサ20aと入力センサ群11との間に設けられた入力インタフェース回路21があり、アナログの入力センサに対しては図示しないA/D変換器が使用されている。マイクロプロセッサ20aと電気負荷群12との間には、出力インタフェース回路22が接続されている。マイクロプロセッサ20aと外部ツール13間にはツールインタフェース回路23が接続されている。電子制御装置10aには、演算処理用のRAMメモリ24、例えばフラッシュメモリ等による不揮発プログラムメモリ25aがあり、該プログラムメモリは図5～図11で詳述する各種プログラムが格納されている。更に、電子制御装置10aには、マイクロプロセッサ20aと後述の監視制御回路部30a間で双方向のシリアル通信を行うために設けられた直並列変換器によるシリアルインタフェース回路29がある。

#### 【0012】

なお、上記不揮発プログラムメモリ25aの内容としては、制御プログラム26aと被監視処理プログラム27aとがあり、制御プログラム26aは入出力制御を行うための主たる制御プログラムの他に、外部ツール13や後述の監視制御回路部30aとのシリアル通信用プログラム、又は入出力制御で使用する例えば比較処理用の閾値データなどである制御定数などで構成されている。また、被監視処理プログラム27aは後述の監視制御回路部30aと協働して監視制御を実行するものである。被監視処理プログラム27aは、追って詳述する模擬演算実行処理プログラム、応答パケット送信プログラム、受信間隔異常処理プログラム、第一・第二の同期パケット送信プログラム、誤答送信選択プログラム、エラーカウンタの現在値監視プログラム、応答パケットの再送処理プログラム、確認返信異常処理プログラム等によって構成されている。

#### 【0013】

監視制御回路部30aは、マイクロプロセッサ20aを主体として、不揮発メモリ25a内の制御プログラム26aの内容と入力センサ群11の動作状態に反応して電気負荷群12を制御する電子制御装置10aに付加されたものである。ウォッチドグタイマ31は、マイクロプロセッサ20aが発生するパルス列であるウォッチドグ信号WDのパ

ルス幅を監視して、該パルス幅が所定値を超過したときにリセットパルス信号RSTを発生して、マイクロプロセッサ20a及び監視制御回路部30aを再起動させる。

#### 【0014】

監視制御回路部30aは、その内部構成として、データ処理回路40、EEPROMメモリ等による不揮発データメモリ46、現在値が1～16に循環変化し後述の循環番号 $n=1\sim 16$ を指定する工程カウンタ47、初期値が11で現在値が0以下にならないように構成されていて、しかも現在値が13以上になると異常判定用のカウントアップ出力を発生してリセットパルス信号RST2によってマイクロプロセッサ20aをリセットして再起動するエラーカウンタ48、シリアルインタフェース回路29と対を成す直並列変換器によるシリアルインタフェース回路49を有する。

#### 【0015】

なお、上記データ処理回路40は、その構成として、マイクロプロセッサ20aから送信されたデータが一時的に格納されたり、マイクロプロセッサ20aに送信されるデータが一時的に格納される送受信バッファメモリ41、送受信バッファメモリ41に一時的に格納された受信データの内容をサムチェックする受信確認手段42、受信データの内容に対応した返信パケットとして正常確認パケット（ACK）又は不正常確認パケット（NACK）を選択する受信確認応答手段43、マイクロプロセッサ20aから送信されてくる応答パケットの受信間隔が異常であるときにマイクロプロセッサ20aをリセットする応答間隔異常処理手段44a、運転開始後所定時間が経過しても、マイクロプロセッサ20aが監視制御回路部30aに対して監視動作の開始許可を出さないときに警報・表示器14を作動させる監視許可異常処理手段44b、監視制御回路部30aが送信した照会パケットの内容に対してマイクロプロセッサ20aが送信してくる応答パケットの内容が適切であるかどうかを判定する異常判定手段45を有する。

#### 【0016】

なお、上記不揮発データメモリ46には、異常判定手段45で使用する正解情報や監視制御回路部30aが送信する照会パケットや正常確認パケットや不正常確認パケットのデータが予め格納されている。

また、上記工程カウンタ47は、監視制御回路部30aが紹介パケットを送信する

都度アップカウントして、該工程カウンタの現在値 1～16によって送信されるべき照会パケットの番号 1～16が順次更新されるようになっている。

#### 【0017】

更に、上記エラーカウンタ48は、受信確認手段42が正常受信判定であったときに例えば1カウントのダウンカウントを行い、異常判定手段45の判定結果が異常であったときには例えば3カウントのアップカウントを行うようになっている。エラーカウンタ48の現在値が例えば13以上になると、マイクロプロセッサ20aをリセットして再起動するようになっている。

また、上記エラーカウンタ48の現在値は照会パケットの中の一部データとして送受信バッファメモリ41に転送され、マイクロプロセッサ20aに送信されるようになっている。

#### 【0018】

その他、上記データ処理回路40は、図示しないチェックサム操作手段を有し、送受信バッファメモリ41に格納された送信データにチェックサムデータを付加してマイクロプロセッサ20aへ送信するようになっている。

また、RST1はマイクロプロセッサ20aによる監視制御回路部30aのリセットパルス信号、RST2は監視制御回路部30aによるマイクロプロセッサ20aのリセットパルス信号であり、リセットパルス信号RST1によって工程カウンタ47の現在値は1となり、エラーカウンタ48の現在値は11となるよう構成されている。

#### 【0019】

図2は図1の部分等価制御ブロック図である。上記制御プログラム26aの中の一部のプログラムである被試験対象プログラム28aが実行する制御ブロックを例示したものである。この例では、例えば、入力センサ群11の中の一部のアナログ入力である入力A・入力B・入力Cの内容を、RAMメモリ24の中のアドレスa・アドレスb・アドレスcに格納すると共に、共通プログラム28c内の演算プログラムによって入力A・B・Cが相対誤差5%以内で一致しているときには、A・B・Cの平均値をアドレスXのRAMメモリを介して外部へ出力するようになっている。なお、上記演算プログラムは入力A・B・Cのうちいずれか一つの誤差が大きいときには、これを除外した残りの二つの入力の平均値を出力し、全ての入力の

相対誤差が大きいときには最少値を示す入力値をそのまま外部へ出力するものであり、これらの演算過程では演算処理用としてRAMメモリ24が使用されている。

#### 【0020】

また、図2には、被試験対象プログラム28aに対応した模擬演算実行処理プログラム28bが実行する制御ブロックを示す。入力データテーブル28dは模擬演算制御ブロックで適用されるものであり、番号1から番号15で示される入力データ群は監視制御回路部30aから送信された照会パケットの内容によって選択される。共通プログラム28cは上記被試験対象プログラム28aと模擬演算実行処理プログラム28bに共通して使用されるものであり、共通プログラム28cによる模擬演算の実行結果はアドレスYのRAMメモリを介して応答パケットによって監視制御回路部30aに送信される。

#### 【0021】

従って、照会パケットが番号1を指定し、例えば $A1=101$ 、 $A2=102$ 、 $A3=103$ が格納されているときであれば、共通プログラム28cによる演算結果は全体の平均値である102が正解となる。また、照会パケットが番号2を指定し、例えば $A1=110$ 、 $A2=112$ 、 $A3=120$ が格納されているときであれば、共通プログラム28cによる演算結果は $A1$ と $A2$ の平均値である111が正解となる。更に、照会パケットが番号3を指定し、例えば $A1=10$ 、 $A2=20$ 、 $A3=30$ が格納されているときであれば、共通プログラム28cによる演算結果は最少値である10が正解となる。

#### 【0022】

マイクロプロセッサ20aは被試験対象プログラム28aと模擬演算実行処理プログラム28bを交互に実行するが、模擬演算実行処理プログラム28bで扱われる入力データ群の番号は監視制御回路部30aから順次送信されてくる照会パケットの内容によって順次更新されるようになっている。マイクロプロセッサ20aは模擬演算実行処理プログラム28bによる演算結果を応答パケットによって監視制御回路部30aに送信し、監視制御回路部30aは正解情報格納手段としての不揮発データメモリ46に予め格納されている正解情報とマイクロプロセッサ20aからの回答内容を



比較することによって、共通プログラム28cの異常判定を行うようになっている。

### 【0023】

図3は図1のシリアル通信のタイムチャートである。図4は図1のシリアル通信の packets 構成図である。以下に図4を引用しながら図3の説明を行う。図3において、CPU→LSIで示したタイムチャートはマイクロプロセッサ20aから監視制御回路部30aに対する送信データのタイミングを示している。LSI→CPUで示したタイムチャートは、監視制御回路部30aからマイクロプロセッサ20aに対する送信データのタイミングを示している。マイクロプロセッサ20aが送信する第一の同期 packets 61aは、図4で図示するとおり、開始宣言データSTX=55H（Hは16進数の意味、以下同様）、コマンドデータ=10H、アドレスデータ=02H、モードデータ=01H、終了宣言データETX=AAHの5フレームのデータと、各データのバイナリ加算値であるチェックサムデータによる合計6個のデータフレームによって構成されている。

### 【0024】

なお、一対のシリアルインタフェース回路29・49間で送受信されるシリアルデータは、1フレーム当たり8ビットの正味データに加えて、送信側直並列変換器で付加されたスタートビット・ストップビット・パリティビットの合計11ビットのデータで構成されていて、受信側ではパリティチェックを行って異常があれば受信データを破棄するが、異常が無ければ8ビットの正味データのみを抽出して、各フレーム毎に順次図示しないバッファメモリに格納するようになっている。

### 【0025】

上記第一の同期 packets 61aのモードデータが01Hになっていると、これは監視制御回路部30aに対して照会 packets を定期的に送信することを許可する内容となっている。図4の61bで示したとおり、第一の同期 packets のモードデータが00Hになると照会 packets の送信を禁止することを意味している。

### 【0026】

図3における63aは、第一の同期 packets 61aを受信した監視制御回路部30aが

返信する正常確認パケットである。正常確認パケット63aは、図4で示すとおり、開始宣言データSTX=55H、正常確認データACK=61H、アドレスデータ=02H（第一の同期パケット61aのアドレスと同じ）、終了宣言データETX=AAHの4フレームのデータと、各データのバイナリ加算値であるチェックサムデータによる合計5個のデータフレームによって構成されている。

もしも、受信した第一の同期パケット61aにサムチェックエラーがあれば、上記正常確認パケット63aに代わって、図4で示す不正常確認パケット63bが返信される。不正常確認パケット63bは、不正常確認データNACK=62Hとなっている点が、上記正常確認パケット63aとは異なっている。なお、確認パケットは同期パケットや応答パケットに対する確認応答であり、NACKであれば再送要求したことになる。

#### 【0027】

初回の照会パケット71aは、監視制御回路部30aが正常確認パケット63aを返信してから、所定時間後にマイクロプロセッサ20aに対して送信する。照会パケット71aは、図4で示すとおり、開始宣言データSTX=33H、照会データ=0\*H、エラーカウンタの現在値=0\*H、終了宣言データETX=AAHの4フレームのデータと、各データのバイナリ加算値であるチェックサムデータによる合計5個のデータフレームによって構成されている。なお、初回の照会パケット71aにおける照会データは00Hであり、照会データは順次01H、02H・・・0FHの16種類となっている。また、エラーカウンタ48の現在値も13までの値であるため、16進数では1桁の数値で扱えるようになっている。

#### 【0028】

図3において、第二の同期パケット62は、照会パケット71aを受信したマイクロプロセッサ20aが送信する。第二の同期パケット62は、図4で示すとおりであり、第一の同期パケット61aに比べると、アドレスが02Hから1EHとなり、モードデータが01HからFFHとなっていることである。なお、第二の同期パケット62は、初回の照会パケット71aを正常受信したことを監視制御回路部30aに通知するためのものとなっている。63aは第二の同期パケット62を監視制御回路部30aが正常受信したことに対する正常確認パケットである。2番目の照会パケット72aは照会

パケット71aを送信してから所定時間後に送信される。71bは照会パケット72aを正常受信したマイクロプロセッサ20aが返信する初回の応答パケットである。なお、照会パケットは再送は行われなく定期送信されるものである。

#### 【0029】

応答パケット71bの構成は図4に示すとおりであり、開始宣言データSTX=55H、コマンドデータ=10H、アドレスデータ=1EH、回答データ=\*\*H、終了宣言データETX=AAHの5フレームのデータと、各データのバイナリ加算値であるチェックサムデータによる合計6個のデータフレームによって構成されている。なお、上記回答データ\*\*Hの内容は照会パケット71aで指定された質問事項に対する回答情報になっている。

以下同様に照会パケット72a・73a・・・が定期的に順次送信され、これに対する応答パケット72b・73b・・・が1タイミングだけ遅れて返信される。照会パケットが再び71aとなったときの応答パケット716bは前回の照会パケット716aに対する回答データを含んだものである。

一方、各種パケットを受信した側では、受信した全フレーム（チェックサムデータを含む）のバイナリ加算を行って、その結果が0となればサムチェック正常と判定し、0でなければサムチェック異常と判定するようになっている。

#### 【0030】

実施の形態1の作用・動作の詳細な説明。

図1のとおり構成されたこの発明の実施の形態1の電子制御装置において、図5から図11で示す通信動作説明用フローチャートについて説明する。なお、図5～図11は中継符号A～F、T～Zを介して繋がっている。図3における第一の同期パケット61aの送信から照会パケット71aの受信までの動作を図5、図6に示す。図5、図6において、100は定期的に活性化されるマイクロプロセッサ20aの通信動作開始工程、101aは工程100に続いて作用し、例えばタイムアップ時間が70ms程度のタイマT1を起動する工程、102aは工程101aに続いて作用し、図3・図4で示した第一の同期パケット61aを送信する工程（第一の同期パケット送信手段）、103aは工程102aに続いて作用し、工程101aで起動されたタイマT1がタイムアップしているかどうかを判定する工程である。

## 【0031】

104aは工程103aがタイムアップ判定をしていないときに作用し、後述の工程205aによって監視制御回路部30aが送信した確認パケットを受信したかどうかを判定する工程、105aは工程104aが確認パケットの未受信であるときに作用して、例えば待機時間T2として10～20msの時間待ちをする工程である。この待機時間を経過するまでは上記工程104aに復帰して確認パケットの受信を待ち続けると共に、待機時間を超過すると工程102aへ復帰して、再度第一の同期パケット61aを送信する再送処理手段となっている。

## 【0032】

106aは工程104aが確認パケットの受信判定をしたときに作用し、その受信内容が図4で示した正常確認パケット63a (ACK) と不正常確認パケット63b (NACK) のどちらであったかを判定する工程であり、工程106aが不正常受信 (NACK) の判定であったときには工程102aに復帰して再度第一の同期パケット61aを送信する再送処理手段となっている。

107aは工程102a・103a・104a・105a又は106aを繰返し実行する過程で、工程103aがタイマT1のタイムアップ判定を行ったときに作用し、監視制御回路部30aの動作を初期工程200に復帰させる工程、108は工程107aに続いて作用する動作終了工程であり、マイクロプロセッサ20aは上記動作終了工程108で動作待機して、その他の制御を実行してから再度上記動作開始工程100へ復帰するようになっている。

## 【0033】

110a (図6) は上記工程106aが正常受信 (ACK) の判定であったときに作用し、工程101aで起動されていたタイマT1を停止してタイマの現在値をリセットする工程、111aは上記工程106aが正常受信 (ACK) 判定を行ってから待機時間T3として、例えば30～40 msを経過したかどうかを判定する工程である。112aは上記工程111aが未経過判定であったときに作用し、後述の工程207aによって監視制御回路部30aから送信された照会パケット71a (図3・図4参照) をマイクロプロセッサ20aが受信したかどうかを判定する工程であり、工程112aが未受信であれば、上記工程111aに復帰して照会パケット71aの受信待ちを行うようになっている。

## 【0034】

113aは上記工程112aが受信判定であったときに作用し、受信した照会パケット71aのサムチェックを行って、エラーの有無を判定する工程、114aは工程113aがエラー無しの判定であったときに作用し、照会パケット71a内の照会データを格納する工程、115aは上記工程113aがエラーありの判定であったときに作用し、後述の工程102c（図9参照）における応答パケットの内容を意図的に誤答にするための情報を格納しておく工程であり、該工程115aは誤答送信確定手段となるものである。

## 【0035】

117aは上記工程111aが待機時間経過の判定であって、この間に照会パケット71aが受信できなかったときに作用し、監視制御回路部30aの動作を初期工程200に復帰させる工程であり、該工程117aに続いて動作終了工程108へ移行して、所定時間後には再度動作開始工程100へ移行するようになっている。

## 【0036】

200は監視制御回路部30aの制御動作と等価な動作内容を示すフローチャートに対する動作開始工程、201aは工程200に続いて作用し、図1で示したエラーカウンタ48の現在値を11に初期設定すると共に、工程カウンタ47の現在値を1に初期設定するリセット工程、202aは上記工程102aで送信された第一の同期パケット61aを受信したかどうかを判定する工程、203aは工程202aが受信判定であったときに作用し、サムチェック操作をおこなってエラーの有無を判定する工程であり、工程203aは受信確認手段となっている。

## 【0037】

204aは上記工程203aがエラー無しの判定であったときに作用し、図4の確認パケット63aで示す正常受信（ACK）データを返信すると共に、エラーカウンタ48の現在値を一つ減少させる工程、204bは上記工程203aがエラーありの判定であったときに作用し、図4の確認パケット63bで示す不正常受信（NACK）データを返信する工程、205aは上記工程204aと204bで構成された工程ブロックであり、該工程ブロック205aは受信確認応答手段となるものである。

## 【0038】

206aは上記工程204aに続いて作用し、待機時間であるT6が例えば20～30msを経過するまで循環動作を行いながら待機する待機時間の経過判定工程、207aは該工程206aが待機時間経過を判定したときに作用し、図3・図4で示す初回の照会パケット71aを送信する工程（照会パケット送信手段）であり、照会パケット71aには上記エラーカウンタ48の現在値データが含まれている。

#### 【0039】

208aは上記工程202aが第一の同期パケット61aを受信していない判定であるとき、又は受信していても不正常受信(NACK)であった上記工程204bに続いて作用し、待機時間であるT5が例えば1秒を経過したかどうかを判定する工程、209aは工程208aが待機時間超過の判定であったときに作用し、図1の警報表示器14を作動させる工程（監視許可異常処理手段）である。210は上記工程208aが待機時間未経過であるとき、又は上記工程209aに続いて作用する動作終了工程であり、動作終了工程210において監視制御回路部30aはその他の制御動作を行った後に再度動作開始工程200へ移行するようになっている。従って、工程200・201a・202a・208a・210を循環しながら第一の同期パケット61aが送信されて来るのを待っていて、待機時間T5を超過すると工程209aで警報表示が行われることになる。

#### 【0040】

図3における第二の同期パケット62の送信から照会パケット72aの受信までの動作を図7、図8に示す。図7、図8において、101bは前記工程114a又は115aに続いて作用し、例えばタイムアップ時間が70ms程度のタイマT1を起動する工程、102bは工程101bに続いて作用し、図3・図4で示した第二の同期パケット62を送信する工程（第二の同期パケット送信手段）、103bは工程102bに続いて作用し、工程101bで起動されたタイマT1がタイムアップしているかどうかを判定する工程である。

104bは上記工程103bがタイムアップ判定をしていないときに作用し、後述の工程205bによって監視制御回路部30aが送信した確認パケットを受信したかどうかを判定する工程、105bは工程104bが確認パケットを未受信であるときに作用して、例えば待機時間T2として10～20msの時間待ちをする工程であり、この待機時間を経過するまでは工程104bに復帰して確認パケットの受信を待ち続けると共に、

待機時間を超過すると工程102bへ復帰して、再度第二の同期パケット62を送信する再送処理手段となっている。

#### 【 0 0 4 1 】

106bは上記工程104bが確認パケットの受信判定をしたときに作用し、その受信内容が図4で示した正常確認パケット63a (ACK) と不正常確認パケット63b (NACK) のどちらであったかを判定する工程であり、工程106bが不正常受信 (NACK) の判定であったときには上記工程102bに復帰して再度第二の同期パケット62を送信する再送処理手段になっている。

107bは上記工程102b・103b・104b・105b又は106bを繰返し実行する過程で上記工程103bがタイマT1のタイムアップ判定を行ったときに作用し、監視制御回路部30aの動作を初期工程200に復帰させる工程、108は工程107bに続いて作用する動作終了工程であり、マイクロプロセッサ20aは上記動作終了工程108で動作待機して、その他の制御を実行してから再度上記動作開始工程100へ復帰するようになっている。

#### 【 0 0 4 2 】

110bは上記工程106bが正常受信 (ACK) の判定であったときに作用し、上記工程101bで起動されていたタイマT1を停止してタイマの現在値をリセットする工程、111bは前記工程112aで照会パケット71aを受信判定してからの待機時間T4として例えば50～60 msを経過したかどうかを判定する工程である。

112bは上記工程111bが未経過判定であったときに作用し、後述の工程207bによって監視制御回路部30aから送信された照会パケット72a (図3・図4参照) をマイクロプロセッサ20aが受信したかどうかを判定する工程であり、工程112bが未受信であれば上記工程111bに復帰して照会パケット72aの受信待ちを行うようになっている。

#### 【 0 0 4 3 】

113bは上記工程112bが受信判定であったときに作用し、受信した照会パケット72aのサムチェックを行って、エラーの有無を判定する工程、114bは工程113bがエラー無しの判定であったときに作用し、照会パケット72a内の照会データを格納する工程、115bは上記工程113bがエラーありの判定であったときに作用し、後

述の工程102c（図9参照）における応答パケットの内容を意図的に誤答にするための情報を格納しておく工程であり、該工程115bは誤答送信確定手段となるものである。

117bは上記工程111bが待機時間経過の判定であって、この間に照会パケット72aが受信できなかったときに作用し、監視制御回路部30aの動作を初期工程200に復帰させる工程であり、該工程117bに続いて動作終了工程108へ移行して、所定時間後には再度動作開始工程100へ移行するようになっている。

#### 【0044】

202bは前記工程207aから続いて作動し、上記工程102bで送信された第二の同期パケット62を受信したかどうかを判定する工程、203bは該工程202bが受信判定であったときに作用し、サムチェック操作をおこなってエラーの有無を判定する工程（受信確認手段）である。

204cは上記工程203bがエラー無しの判定であったときに作用し、図4の確認パケット63aで示す正常受信（ACK）データを返信すると共に、エラーカウンタ48の現在値を一つ減少させる工程、204dは上記工程203bがエラーありの判定であったときに作用し、図4の確認パケット63bで示す不正常受信（NACK）データを返信する工程、205bは上記工程204cと204dで構成された工程ブロックであり、該工程ブロック205bは受信確認応答手段となるものである。

#### 【0045】

206bは上記工程204cに続いて作用し、照会パケット71aを送信してからの待機時間であるT8が例えば40msを経過するまで循環動作を行いながら待機する待機時間の経過判定工程、207bは該工程206bが待機時間経過を判定したときに作用し、図3・図4で示す照会パケット72aを送信する工程（照会パケット送信手段）であり、照会パケット72aには上記エラーカウンタ48の現在値データが含まれている。

#### 【0046】

208bは上記工程202bが第二の同期パケット62を受信していない判定であるとき、又は受信していても不正常受信（NACK）であった上記工程204dに続いて作用し、照会パケット71aを送信してからの待機時間であるT7が例えば40msを経過したか



どうかを判定する工程であり、未経過のときは上記工程202bに復帰して再び第二の同期パケット62の受信判定を行うようになっている。

209bは上記工程208bが待機時間超過の判定であったときに作用し、図1のリセットパルス信号RST2によってマイクロプロセッサ20aをリセットして再起動させる工程、210は上記工程209bに続いて作用する動作終了工程であり、該動作終了工程210において監視制御回路部30aはその他の制御動作を行った後に再度動作開始工程200へ移行するようになっている。

#### 【0047】

図3における応答パケット71bの送信から照会パケット73aの受信までの動作を図9、図10に示す。図9、図10において、101cは前記工程114b又は115bから続いて作用し、例えばタイムアップ時間が70ms程度のタイマT1を起動する工程、102cは工程101cに続いて作用し、図3・図4で示した応答パケット71bを送信する工程（応答パケット送信手段）、103cは工程102cに続いて作用し、上記工程101cで起動されたタイマT1がタイムアップしているかどうかを判定する工程である。

#### 【0048】

104cは上記工程103cがタイムアップ判定をしていないときに作用し、後述の工程205cによって監視制御回路部30aが送信した確認パケットを受信したかどうかを判定する工程、105cは工程104cが確認パケットを未受信であるときに作用して、例えば待機時間T2として10～20msの時間待ちをする工程であり、この待機時間を経過するまでは上記工程104cに復帰して確認パケットの受信を待ち続けると共に、待機時間を超過すると上記工程102cへ復帰して、再度応答パケット71bを送信する再送処理手段となっている。

#### 【0049】

106cは上記工程104cが確認パケットの受信判定をしたときに作用し、その受信内容が図4で示した正常確認パケット63a（ACK）と不正常確認パケット63b（NACK）のどちらであったかを判定する工程であり、工程106cが不正常受信（NACK）の判定であったときには工程102cに復帰して再度応答パケット71bを送信する再送処理手段となっている。

## 【0050】

107cは上記工程102c・103c・104c・105c又は106cを繰返し実行する過程で上記工程103cがタイマT1のタイムアップ判定を行ったときに作用し、監視制御回路部30aの動作を初期工程200に復帰させる工程（確認返信異常処理手段）、108は工程107cに続いて作用する動作終了工程であり、マイクロプロセッサ20aは上記動作終了工程108で動作待機して、その他の制御を実行してから再度上記動作開始工程100へ復帰するようになっている。

## 【0051】

110cは上記工程106cが正常受信（ACK）の判定であったときに作用し、上記工程101cで起動されていたタイマT1を停止してタイマの現在値をリセットする工程、111cは前記工程112bで照会パケット72aを受信判定してからの待機時間T4として例えば50～60 msを経過したかどうかを判定する工程である。112cは上記工程111cが未経過判定であったときに作用し、後述の工程207cによって監視制御回路部30aから送信された照会パケット73a（図3・図4参照）をマイクロプロセッサ20aが受信したかどうかを判定する工程であり、該工程112cが未受信であれば上記工程111cに復帰して照会パケット73aの受信待ちを行うようになっている。

## 【0052】

113cは上記工程112cが受信判定であったときに作用し、受信した照会パケット73aのサムチェックを行って、エラーの有無を判定する工程、114cは工程113cがエラー無しの判定であったときに作用し、照会パケット73a内の照会データを格納する工程、115cは上記工程113cがエラーありの判定であったときに作用し、上記工程102cが再度循環実行されたときにおける応答パケットの内容を意図的に誤答にするための情報を格納しておく工程であり、該工程115cは誤答送信確定手段となるものである。

## 【0053】

117cは上記工程111cが待機時間経過の判定であって、この間に照会パケット73aが受信できなかったときに作用し、監視制御回路部30aの動作を初期工程200に復帰させる工程（受信間隔異常処理手段）であり、工程117cに続いて動作終了工程108へ移行して、所定時間後には再度動作開始工程100へ移行するようになって

いる。

#### 【0054】

202cは前記工程207bから続いて作動し、上記工程102cで送信された応答パケット71bを受信したかどうかを判定する工程、203cは工程202cが受信判定であったときに作用し、サムチェック操作をおこなってエラーの有無を判定する工程（受信確認手段）である。204eは上記工程203cがエラー無しの判定であったときに作用し、図4の確認パケット63aで示す正常受信（ACK）データを返信する工程、204fは上記工程203cがエラーありの判定であったときに作用し、図4の確認パケット63bで示す不正常受信（NACK）データを返信する工程、205cは上記工程204eと204fで構成された工程ブロックであり、該工程ブロック205cは受信確認応答手段となるものである。

#### 【0055】

211は上記工程204eに続いて作用し、受信した応答パケット71b内の回答データが照会パケット71a内の照会データによって質問された回答として正解であるか不正解であるかを判定する工程（異常判定手段）であり、該工程211で使用される正解情報は図1における不揮発データメモリ46に予め格納されている。212は上記工程211が正解判定であったときに作用し、図1におけるエラーカウンタ48の現在値を1カウントだけ減少させる工程、213は上記工程211が誤答判定であったときに作用し、図1におけるエラーカウンタ48の現在値を3カウントだけ増加させる工程である。

#### 【0056】

206cは上記工程212又は工程213に続いて作用し、照会パケット72aを送信してからの待機時間であるT8が例えば40msを経過するまで循環動作を行いながら待機する待機時間の経過判定工程、207cは工程206cが待機時間経過を判定したときに作用し、図3・図4で示す照会パケット73aを送信する工程（照会パケット送信手段）であり、照会パケット73aには上記エラーカウンタ48の現在値データが含まれている。

#### 【0057】

208cは上記工程202cが応答パケット71bを受信していない判定であるとき、又

は受信していても不正常受信(NACK)であった上記工程204fに続いて作用し、照会パケット71aを送信してからの待機時間であるT7が例えば40msを経過したかどうかを判定する工程であり、未経過のときは上記工程202cに復帰して再び応答パケット71bの受信判定を行うようになっている。209cは上記工程208cが待機時間超過の判定であったときに作用し、図1のリセットパルス信号RST2によってマイクロプロセッサ20aをリセットして再起動させる工程(応答間隔異常処理手段)、210は上記工程209cに続いて作用する動作終了工程であり、該動作終了工程210において監視制御回路部30aはその他の制御動作を行った後に再度動作開始工程200へ移行するようになっている。

#### 【0058】

図3における応答パケット72bの送信以降の循環動作を図11に示す。図11において、116は上記工程114c又は115cから続いて作用し、受信した最新の照会パケットに含まれるエラーカウンタ48の現在値の変化が正常であるかどうかを判定する工程(現在値監視手段)である。ここでいう正常変化とはマイクロプロセッサ20aが上記工程115a・115b・115cや後述の工程122で意図的に誤答選択を行い、その後の応答パケットで所定の誤答データを送信した場合には、監視制御回路部30aの処置結果としてエラーカウンタ48の現在値が3カウント増加しているかどうかを判定するものである。120は上記工程116が正常判定であったときに作用し、循環番号 $n$  ( $n=1\sim 16$ ) が15以下であるかどうかを判定する工程であり、上記工程102cから112cのフローは応答パケット番号 $n=1$ の送信から照会パケット番号 $n+2=3$ の受信に至るフローである。

#### 【0059】

121は上記工程120の判定が15超過即ち $n=16$ であったときに作用し、最新の照会パケットに含まれているエラーカウンタ48の現在値が例えば6以下であるかどうかを判定する工程、122は該工程121の判定が6以下であったときに作用し、次の応答パケットにおいて意図的に所定の誤答を回答する(例えば0を回答する)ことを選択する工程(誤答送信選択手段)である。123は上記工程121の判定が6超過であったときに作用し、次の応答パケットにおいて正解データとして例えば16を回答することを選択する工程であり、上記工程121は意図的に誤答送信

した結果として後述の工程216でカウントアップ出力が発生しないようにするためのものであって、余裕の無い限界としては9以下の設定を行っても良い。

124は上記工程122又は工程123に続いて作用し、循環番号  $n=16$  から  $n=1$  に循環させる工程、125は上記工程120が循環番号15以下であると判定したときに作用し、循環番号  $n$  を1つ増加させる工程であり、上記工程124又は工程125に続いて前記工程101cへ復帰し、次の動作としては工程102cで応答パケット72bを送信し、工程112cで照会パケット74aの受信判定を行うことになる。

#### 【0060】

126は上記工程116が現在値変化異常の判定を行ったときに作用し、監視制御回路部30aの動作を初期工程200に復帰させる工程、108は工程126に続いて作用する動作終了工程であり、マイクロプロセッサ20aは上記動作終了工程108で動作待機して、その他の制御を実行してから再度上記動作開始工程100へ復帰するようになっている。

#### 【0061】

216は前記工程207cから続いて作動し、エラーカウンタ48の現在値が13以上になっていないかどうかを判定する工程、220は工程216が13未満の判定であったときに作用し、工程カウンタ47の現在値を読み出して循環番号  $n$  ( $n=1\sim 16$ ) が15以下であるかどうかを判定する工程である。224は上記工程220が循環番号15超過の判定であったときに作用し、工程カウンタ47の現在値である循環番号  $n=16$  から  $n=1$  に循環させる工程、225は上記工程220が循環番号15以下であると判定したときに作用し、工程カウンタ47をアップカウントさせて循環番号  $n$  を1つ増加させる工程であり、上記工程224又は工程225に続いて上記工程202cへ復帰し、次の動作としては工程202cで応答パケット72bを受信判定し、工程207cで照会パケット74aの送信を行うことになる。

#### 【0062】

209dは上記工程216でエラーカウンタ48の現在値が13以上の判定であったときに作用し、エラーカウンタ48がカウントアップして図1のリセットパルス信号RS T2によってマイクロプロセッサ20aをリセットして再起動させる工程、210は上記工程209dに続いて作用する動作終了工程であり、該動作終了工程210において監

視制御回路部30aはその他の制御動作を行った後に再度動作開始工程200へ移行するようになっている。

#### 【0063】

以上で詳述したこの発明の実施の形態1の電子制御装置に関する作用動作について、再度概括説明する。図1においてマイクロプロセッサ20aは入力センサ群11の動作状態と不揮発プログラムメモリ25aに格納された制御プログラム26aに内容によって電気負荷群12を駆動制御するものである。マイクロプロセッサ20aはウォッチドグタイマ31で暴走監視されると共に、その制御動作は監視制御回路部30aによって監視されており、上記不揮発プログラムメモリ25aには制御プログラム26aに加えて監視制御回路部30aと協働するための被監視処理プログラム27aが予め外部ツール13から転送書込みされている。

#### 【0064】

一対の直並列変換器であるシリアルインタフェース回路29・49を介してマイクロプロセッサ20aと相互交信する監視制御回路部30aは、照会パケットによってマイクロプロセッサ20aに質問情報を定期送信し、マイクロプロセッサ20aは応答パケットによって回答情報を返信する。

#### 【0065】

監視制御回路部30aは不揮発データメモリ46に格納されている正解情報と上記回答情報とを比較する異常判定手段によって異常判定を行い、不一致であればエラーカウンタ48の現在値Cを3カウント分アップカウントさせ、一致であれば1カウント分ダウンカウントさせる。エラーカウンタ48の初期値は11に設定されていて、現在値は0以下にはならないように構成されているが、現在値が13以上になるとカウントアップ出力を発生して、リセットパルス信号RST2によってマイクロプロセッサ20aをリセットして再起動させるようになっている。なお、定期的には送信される照会パケットの番号は工程カンタ47によって $n = 1 \cdot 2 \cdot 3 \cdot \dots \cdot 16 \cdot 1 \cdot 2 \cdot \dots$ のように順次循環更新するようになっている。

#### 【0066】

一方、全体制御の主導権はマイクロプロセッサ20aが持っていて、上述の照会パケットによる定期的な質問情報の送信は、予めマイクロプロセッサ20aが第一

の同期パケットを監視制御回路部30aに送信して照会パケットの送信許可を与えることによって開始するものであって、第一の同期パケットによって照会パケットの送信禁止が行われると監視制御回路部30aは照会パケットの送信を停止するようになっている。ただし、運転開始後所定時間が経過しても送信許可が与えられず、マイクロプロセッサ20aが監視されることなく単独動作するのを規制するために、監視許可異常処理手段が設けられ、所定時間を経過すると警報表示が行われるようになっている。

#### 【0067】

監視制御回路部30aは受信した応答パケットのサムチェックを行って、正常受信 (ACK) 又は不正常受信 (NACK) の確認パケットをマイクロプロセッサ20aに返信し、もしも不正常受信であればマイクロプロセッサ20aは応答パケットの再送処理を行うようになっている。

なお、監視制御回路部30aによる確認パケットの返信が所定時間を超過すると、マイクロプロセッサ20aは確認返信異常処理手段によって監視制御回路部30aをリセットすると共に、定期送信が許可されている照会パケットの送信間隔が所定時間を超過しても、マイクロプロセッサ20aは受信間隔異常処理手段によって監視制御回路部30aをリセットし、監視制御回路部30aを逆監視している。

逆に、マイクロプロセッサ20aによる応答パケットの返信間隔が所定時間を超過すると、監視制御回路部30aは応答間隔異常処理手段によってマイクロプロセッサ20aをリセットして再起動する監視手段も付加されている。

#### 【0068】

図2において、マイクロプロセッサ20aは被試験対象プログラム28aと模擬演算実行処理プログラム28bを交互に実行するが、共通プログラム28cは両方で実行される。また、模擬演算実行処理プログラム28bの中で扱われる入力データ群の番号は監視制御回路部30aから送信された照会パケットの中の照会データによって1～15の番号に指定される。マイクロプロセッサ20aは指定された番号の入力データ群を用いて共通プログラム28cを動作させ、その結果を応答パケットによって監視制御回路部30aに返信する。なお、照会データの番号16は誤答処理を行うためのものであって、模擬演算実行処理プログラム28bでは扱われない。

## 【0069】

図3・図4において、マイクロプロセッサ20aは第一の同期パケット61a、第二の同期パケット62の送信をおこなってから、応答パケット71b、応答パケット72b、・・・応答パケット716b、応答パケット71b、応答パケット72b、・・・の順で応答パケットの返信を行い、監視制御回路部30aは照会パケット71a、照会パケット72a、・・・照会パケット716aの順で照会パケットの送信を行う。

## 【0070】

また、監視制御回路部30aはマイクロプロセッサ20aから受信した全てのパケットに対して正常受信 (ACK) 又は不正常受信 (NACK) の確認パケットを直ちに返信する。これに対して、マイクロプロセッサ20aは監視制御回路部30aから受信した照会パケット n を正常受信した場合には、その確認情報として第二の同期パケット62又は応答パケット n-1 を直ちに返信するようになっている。ただし、ここで返信される応答パケット n-1 の内容は前回の照会パケット n-1 の質問情報に対する回答情報を含むものであって、マイクロプロセッサ20aが回答情報を得るために必要な時間を確保するために1タイミングだけ遅れた回答となっている。

## 【0071】

第一の同期パケット61aを送信してから第一の照会パケット71aを受信するまでの動作を示す図5、図6において、102aは第一の同期パケット送信手段、203aは受信確認手段、205aは正常確認パケット204a又は不正常確認パケット204bによる受信確認応答手段、105a・106aは正常確認パケット63aが得られない場合の再送処理手段、209aは所定時間を経過しても第一の同期パケット61aの正常受信ができないときの監視許可異常処理手段、207aは照会パケット送信手段、115aはマイクロプロセッサ20aが受信した照会パケット71aにサムチェックエラーがあるときに次の応答パケットで誤答を返信するための誤答送信確定手段である。

## 【0072】

第二の同期パケット62を送信してから第二の照会パケット72aを受信するまでの動作を示す図7、図8において、102bは第二の同期パケット送信手段、203bは受信確認手段、205bは正常確認パケット204c又は不正常確認パケット204dによる



受信確認応答手段、105b・106bは正常確認パケット63aが得られない場合の再送処理手段、209bは所定時間を経過しても第二の同期パケット62が受信できないときの異常処理手段、207bは照会パケット送信手段、115bはマイクロプロセッサ20aが受信した照会パケット72aにサムチェックエラーがあるときに次回の応答パケットで誤答を返信するための誤答送信確定手段である。

#### 【0073】

応答パケット71bを送信してから照会パケット73aを受信するまでの動作を示す図9、10において、102cは応答パケット送信手段、203cは受信確認手段、205cは正常確認パケット204e又は不正常確認パケット204fによる受信確認応答手段、105c・106cは正常確認パケット63aが得られない場合の再送処理手段、209cは所定時間を経過しても応答パケット61bが受信できないときの応答間隔異常処理手段、211は応答パケット61bの回答情報と不揮発データメモリ46（図1参照）に格納されている正解情報とを比較する異常判定手段であり、該異常判定手段211が正解判定であれば工程212でエラーカウンタ48のカウントダウンを行い、誤答判定であれば工程213によってエラーカウンタ48を3カウント増加するようになっている。207cは照会パケット送信手段、115cはマイクロプロセッサ20aが受信した照会パケット73aにサムチェックエラーがあるときに次回の応答パケットで誤答を返信するための誤答送信確定手段である。

#### 【0074】

照会パケット73aを受信してから次回の循環サイクルへの移行処理を示す図11において、209dはエラーカウンタ48の現在値が13以上になったときに作用してマイクロプロセッサ20aをリセットするカウントアップ出力、116は照会パケットによって監視制御回路部30aから送信されたきたエラーカウンタ48の現在値の変化を監視する現在値監視手段、122は受信した照会パケット番号が $n=16$ であって、しかもエラーカウンタ48の現在値が6以下であるときに作用する誤答送信選択手段であり、次回の応答パケット16で誤答を送信してエラーカウンタ48が3カウント増加してもまだカウントアップ出力手段209dが動作しないようになっている。

これに対し、図5～図10で示した誤答送信確定手段115a・115b・115cの場合

には、受信した照会パケットにサムチェックエラーがあった場合の誤答返信手段であるため、図10の工程213によってエラーカウンタ48のアップカウントが行われ、その現在値が13以上になると図11の工程209dによってマイクロプロセッサ20aがリセットされることになる。

#### 【0075】

実施の形態2.

図12はこの発明の実施の形態2の電子制御装置を示す全体構成図である。図12において、電子制御装置10bは一枚の電子基板上でマイクロプロセッサ20bを主体として構成されている。まず、電子制御装置10bの外部に接続されるものとして、ON/OFF信号又はアナログ信号を含む第一の入力センサ群11a、ON/OFF信号又はアナログ信号を含む第二の入力センサ群11b、上記電子制御装置10bによって駆動される第一の電気負荷群12a、上記電子制御装置10bによって駆動される第二の電気負荷群12b、上記電子制御装置10bに対してシリアル接続された外部ツール13であり、外部ツール13は製品出荷時又は保守点検時に上記電子制御装置10bに対して図示しない脱着コネクタを介して接続され、後述の不揮発プログラムメモリ25bに制御プログラム26bや被監視処理プログラム27bを転送書込みするものである。

#### 【0076】

次に、上記電子制御装置10bの内部の構成として、後述の各種インタフェース回路やメモリに対してバス接続されたメインとなるマイクロプロセッサ20b、マイクロプロセッサ20bと第一の入力センサ群11aとの間に設けられた入力インタフェース回路21があり、アナログの入力センサに対しては図示しないAD変換器が使用されている。マイクロプロセッサ20bにはまた第一の電気負荷群12aとの間に接続された出力インタフェース回路22、マイクロプロセッサ20bと外部ツール13間に接続されたツールインタフェース回路23、演算処理用のRAMメモリ24、例えばフラッシュメモリ等による不揮発プログラムメモリ25bとが接続され、該プログラムメモリは図5～図11で詳述した各種プログラムが格納されている。マイクロプロセッサ20bにはまた後述の補助マイクロプロセッサ80間で双方向のシリアル通信を行うために設けられた直並列変換器によるシリアルインタフェース回

路29が接続されている。

#### 【0077】

なお、不揮発プログラムメモリ25bの内容としては、制御プログラム26bと被監視処理プログラム27bとがあり、上記制御プログラム26bは入出力制御を行うための主たる制御プログラムの他に、外部ツール13や後述の補助マイクロプロセッサ80とのシリアル通信用プログラム、或いは入出力制御で使用される例えば比較処理用の閾値データなどである制御定数などで構成されている。

#### 【0078】

また、被監視処理プログラム27bは後述の監視制御回路部30bと協働して監視制御を実行するためのものであり、該被監視処理プログラムは図5から図11で詳述した模擬演算実行処理プログラム、応答パケット送信プログラム、受信間隔異常処理プログラム、第一・第二の同期パケット送信プログラム、誤答送信選択プログラム、エラーカウンタの現在値監視プログラム、応答パケットの再送処理プログラム、確認返信異常処理プログラム、後述の補助RAMメモリ84に転送される正解情報データによって構成されている。

#### 【0079】

監視制御回路部30bは補助マイクロプロセッサ80を主体として構成され、マイクロプロセッサ20bの動作を監視するものである。入力インタフェース回路81は補助マイクロプロセッサ80と第二の入力センサ群11bとの間に設けられたものであり、アナログの入力センサに対しては図示しないAD変換器が使用されている。出力インタフェース回路82は補助マイクロプロセッサ80と第二の電気負荷群12bとの間に接続されたものである。補助マイクロプロセッサ80には補助RAMメモリ84がバス接続されると共に、マスクROM等による補助プログラムメモリ85や上記シリアルインタフェース回路29と対をなす直並列変換器によるシリアルインタフェース回路89もバス接続されている。

#### 【0080】

ウォッチドグタイマ31は、マイクロプロセッサ20bが発生するパルス列であるウォッチドグ信号WD1のパルス幅を監視して、該パルス幅が所定値を超過したときにリセットパルス信号RST1を発生して上記マイクロプロセッサ20bを再起動さ

せるものである。ウォッチドグ信号WD2は補助マイクロプロセッサ80が発生するパルス列である。リセットパルス信号RST2はマイクロプロセッサ20bがウォッチドグ信号WD2のパルス幅を監視して、該パルス幅が所定値を超過したときに補助マイクロプロセッサ80を再起動させるものである。

#### 【0081】

なお、補助RAMメモリ84は、補助マイクロプロセッサ80で計数されるエラーカウンタの現在値が格納されたり、不揮発プログラムメモリ25bに一旦格納された正解情報が転送書込みされている。また、補助プログラムメモリ85には入出力制御プログラム86と監視制御プログラム87とが格納されている。上記入出力制御プログラム86は例えば第二の入力センサ群11bからの入力信号をマイクロプロセッサ20bに対してシリアル送信したり、マイクロプロセッサ20bによる制御出力を第二の電気負荷群12bにシリアル送信するためのプログラムである。

#### 【0082】

監視制御プログラム87には、補助マイクロプロセッサ80が送信した照会パケットの内容に対してマイクロプロセッサ20bが返信してくる応答パケットの内容が適切であるかどうかを判定する異常判定手段、マイクロプロセッサ20bから送信された受信データの内容をサムチェックする受信確認手段、受信データの内容に対応した確認パケットとして正常確認パケット (ACK) 又は不正常確認パケット (NACK) を選択する受信確認応答手段、照会パケット送信手段、マイクロプロセッサ20bから送信されてくる応答パケットの受信間隔が異常であるときにマイクロプロセッサ20bをリセットする応答間隔異常処理手段、運転開始後所定時間が経過しても、マイクロプロセッサ20bが補助マイクロプロセッサ80に対して監視動作の開始許可を出さないときに警報表示を行う監視許可異常処理手段などのプログラムが設けられている。

#### 【0083】

以上の説明で明らかとなおり、図12で示した実施の形態2の電子制御装置と図1で示した実施の形態1の電子制御装置との相違点として、図1の監視制御回路部30aがマイクロプロセッサを持たない論理回路によって構成されているのに対して、図12のものはこれと等価な動作を補助マイクロプロセッサ80と補助プ

ログラムメモリ85によって実行するようになっている。補助マイクロプロセッサ80は入出力信号の送信機能も持っているが、マイクロプロセッサ20bとの間で機能分担を行って、一部の入出力制御を行うようにしてもよいし、入出力を一切取り扱わないでマイクロプロセッサ20bに対する監視制御に専念するように構成しても良い。

#### 【0084】

実施の形態3.

図13はこの発明の実施の形態3の電子制御装置における部分等価制御ブロック図を示す。図13(A)において、被試験対象プログラムA281aは、図2の被試験対象プログラム28aに代わって不揮発プログラムメモリ25aの中の制御プログラム26aの一部として格納されたプログラムである。模擬演算実行処理プログラム281bは、図2の模擬演算実行処理プログラム28bに代わって不揮発プログラムメモリ25aの中の被監視処理プログラム27aの一部として格納されたプログラムである。共通プログラム281cは、被試験対象プログラム281aと模擬演算実行処理プログラム281bのどちらが実行されるときでも実行されるプログラムである。入力データテーブル281dは、上記模擬演算実行処理プログラム281bの中で扱われるようになっている。被試験対象プログラム282a・283a・284aや模擬演算実行処理プログラム282b・283b・284bも同様であり、かつ共通プログラム282c・283c・284aも同様である。この実施の形態では図2のものに比べて被試験対象プログラム28aが複数の被試験対象プログラム281a~284aに分割されている。

#### 【0085】

上記被試験対象プログラム281a~284aは、例えば制御プログラム26aの局所で使用されるサブルーチンプログラムであって、ここで扱われる入力情報は必ずしも入力センサ群11から入力されるものではなく、演算経過の中間的情報が使用されるものである。なお、被試験対象プログラム284aと模擬演算実行処理プログラム284bに関しては、共通プログラムdがそれぞれのプログラム領域に分離して格納され、共通プログラム284cと284eとなっている例を示している。

#### 【0086】

これらのプログラムの実行順序は、図13(B)で示すとおりであり、先ず第

一段階としては被試験対象プログラム281a（共通プログラム281cを含む）→被試験対象プログラム282a（共通プログラム282cを含む）→被試験対象プログラム283a（共通プログラム283cを含む）→被試験対象プログラム284a（共通プログラム284cを含む）→模擬演算実行処理プログラム281b（共通プログラム281cを含み入力データ番号は1）→その他の全体制御プログラムが実行される。

【 0 0 8 7 】

次に、被試験対象プログラム281a（共通プログラム281cを含む）→被試験対象プログラム282a（共通プログラム282cを含む）→被試験対象プログラム283a（共通プログラム283cを含む）→被試験対象プログラム284a（共通プログラム284cを含む）→模擬演算実行処理プログラム282b（共通プログラム282cを含み入力データ番号は2）→その他の全体制御プログラムが実行される。

【 0 0 8 8 】

以下同様に、被試験対象プログラム281a（共通プログラム281cを含む）→被試験対象プログラム282a（共通プログラム282cを含む）→被試験対象プログラム283a（共通プログラム283cを含む）→被試験対象プログラム284a（共通プログラム284cを含む）→模擬演算実行処理プログラム283b（共通プログラム283cを含み入力データ番号は3）→その他の全体制御プログラムが実行される。

次に、被試験対象プログラム281a（共通プログラム281cを含む）→被試験対象プログラム282a（共通プログラム282cを含む）→被試験対象プログラム283a（共通プログラム283cを含む）→被試験対象プログラム284a（共通プログラム284cを含む）→模擬演算実行処理プログラム284b（共通プログラム284eを含み入力データ番号は4）→その他の全体制御プログラムが実行される。

【 0 0 8 9 】

以下同様に入力データ番号5～15による模擬演算実行処理プログラムが実行されるが、入力データ番号1から15は特定の模擬演算実行処理プログラムに集中することなく、順次配分割付されている。従って、被試験対象プログラム281a～284aのどれかに異常があったときに、速やかに検出される可能性が高くなるものである。また、入力データ番号15の次には16番目の照会パケットによる誤答回答処理が行われてから入力データ番号1のものへ循環復帰するようになっている。

## 【0090】

他の実施の形態.

以上の説明で明らかなとおり、この発明はマイクロプロセッサによって構成された電子制御装置において、上記マイクロプロセッサとシリアル接続された監視制御回路部によってマイクロプロセッサの制御動作の監視を行うものであって、監視制御回路部としてはマイクロプロセッサを持たない論理回路で構成したり、補助となるサブマイクロプロセッサを有して、機能分担を行ったりするなど様々な実施形態がある。

## 【0091】

また、模擬演算実行処理プログラムとしては、被試験対象プログラムとは無関係な専用の模擬演算プログラムを使用することもできるが、望ましくは被試験対象プログラムを定め、該被試験対象プログラムの中で使用されているものと同一の共通プログラムを用いた模擬演算実行処理プログラムにすることである。

更に、監視制御回路部を付加したことによってシステムが複雑化し、全体としての安全性が低下するのを防止するためにはウオッチドグタイマを併用することが望ましい。

また、監視制御回路部が単にマイクロプロセッサの制御動作の監視を行うだけでなく、相互に通信間隔異常判定を行う相互監視によってシステムの安全性を向上することが可能となるものである。

## 【0092】

以上の説明では、模擬演算実行処理プログラムが入力データテーブルを持っている実施の形態について説明したが、模擬演算で使用する入力データは照会パケットによって監視制御回路部から送信するようにしても良い。

また、マイクロプロセッサは模擬演算の実行結果を応答パケットによって返信するようになっているが、実行結果によって正解番号を選択し選択された正解番号を応答パケットによって返信することもできる。この場合の正解番号テーブルは不揮発プログラムメモリに格納されていて、マイクロプロセッサの模擬演算実行結果が不正解であったときには選択すべき正解番号が見つからないことになるので、この場合には所定の誤答番号を返信するようにすれば良い。

## 【0093】

以上の説明では、マイクロプロセッサが監視制御回路部をリセットするときには、監視制御回路部の制御フローを中断して動作開始工程へ復帰させ、監視制御回路部内の工程カウンタやエラーカウンタを初期値に設定しなおしてから監視制御動作を再起動すると共に、マイクロプロセッサ自体も動作開始工程に復帰するように構成されている。

また、監視制御回路部がマイクロプロセッサをリセットするときには、リセットパルス信号によってマイクロプロセッサを再起動すると共に、監視制御回路部自体も動作開始工程に復帰するようになっている。

このように、異常発生時にマイクロプロセッサと監視制御回路部を自動的に再起動するのは、ノイズ等による一次的な誤動作に対して敏感な処置をしないようにする場合に適したものであって、異常発生後は制御動作を停止して警告を行い、人為的にスタートボタンを押さなければ再起動しないようなインターロックを施すように変更することも可能である。

## 【0094】

次に、この発明による監視制御回路を有する電子制御装置の付加的な特徴をまとめて記載する。

この発明の電子制御装置は、模擬演算実行処理プログラムは入力データテーブルを備えると共に、被試験対象プログラムと模擬演算実行処理プログラムは交互に実行され、上記模擬演算実行処理プログラムで扱われる入力データは照会パケットの内容に応じて上記入力データテーブルから順次選択されるよう構成されている。

従って、様々な入力データを用いて模擬演算が実行できて確実に異常検出ができると共に、監視制御回路部から入力データを送信する必要がないので通信の応答性を改善することができる。

## 【0095】

また、この発明の電子制御装置は、被試験対象プログラムは複数グループに分割されていて、各グループに対応した模擬演算実行処理プログラムは該処理プログラムに対応した入力データテーブルを備え、照会パケットによって入力データ



群を順次選択するよう構成されている。

従って、複雑な被試験対象プログラムを分割監視して手軽に異常検出ができると共に、分割された被試験対象プログラムを順次模擬演算することによって速やかに異常が発見できる。

#### 【0096】

また、この発明の電子制御装置は、不揮発プログラムメモリはツールインタフェース回路を介してシリアル接続された外部ツールから転送書込みされた入出力制御のための制御プログラムと、被監視処理手段となる被監視処理プログラムと、質問情報に対する正解情報データとを有し、正解情報データは監視制御回路部に設けられた正解情報格納手段に対して再転送されるよう構成されている。

従って、模擬演算実行処理プログラムが変更された場合に、その正解情報データも同時に変更して、プログラムの変更管理が一元化できる。

#### 【0097】

また、この発明の電子制御装置は、監視制御回路部は補助プログラムメモリと補助RAMメモリとを備えた補助マイクロプロセッサによって構成されている。

従って、補助プログラムメモリの内容を変更することによって手軽に監視制御の内容を変更することができたり、監視制御回路部に監視制御以外の特定機能を持たせれば、メインとなるマイクロプロセッサの負担を軽減したりすることができる。

#### 【0098】

また、この発明の電子制御装置は、マイクロプロセッサは監視制御回路部から送信されてきた $n$ 番目の照会パケットを受信した直後に、前回の $n-1$ 番目の照会パケットの内容に対応した応答パケットを返信し、該応答パケットの返信によって $n$ 番目の照会パケットを受信したことに対する認知情報を兼ねるように構成されている。

従って、交信情報を削減することができると共に、マイクロプロセッサが模擬演算を実行するための不確定な時間待ちをする必要がないので高速通信が行える。

#### 【0099】

また、この発明の電子制御装置は、被監視処理手段は上記監視制御回路部に対して送信される第一の同期パケット送信手段を備えると共に、監視制御回路部は監視許可異常処理手段を備えている。

従って、マイクロプロセッサが主導権をもって監視制御の許可/禁止を決定できると共に、運転開始後所定時間を超過しても第一の同期パケットによる照会パケットの定期送信許可が得られないときには監視許可異常処理手段によって異常報知が行える。

#### 【0100】

また、この発明の電子制御装置は、被監視処理手段は監視制御回路部に対して送信される第二の同期パケット送信手段を備え、該第二の同期パケット送信手段は上記監視制御回路部が送信した初回の1番目照会パケットを受信したことに対する認知手段であり、循環する次の1番目照会パケットを受信したときは最終番目の照会パケットに対する応答パケットが返信されるよう構成されている。

従って、循環動作を行っているときの交信情報を削減することができるので、高速通信が行える。

#### 【0101】

また、この発明の電子制御装置は、監視制御回路部は受信確認手段と、エラーカウンタとを備え、上記エラーカウンタの現在値が所定値を超過したときにはカウントアップ出力によってマイクロプロセッサを再起動又は警報停止するよう構成されている。

従って、一時的なノイズ誤動作に対して敏感な反応をするのを回避することができると共に、異常が継続していると速やかに再起動又は警報停止を行って安全性を確保することができる。

#### 【0102】

また、この発明の電子制御装置は、照会パケットはエラーカウンタの現在値情報を包含すると共に、不揮発プログラムメモリは誤答送信選択手段と現在値監視手段となるプログラムを備えている。

従って、監視制御回路部の異常判定手段が正常に作動していないときに監視制御回路部を再起動又は警報停止することができ、安全性を向上することができる。

る。

#### 【0103】

また、この発明の電子制御装置は、不揮発プログラムメモリは誤答送信確定手段となるプログラムを備えている。

従って、誤答送信確定手段は監視制御回路部から受信した照会パケットの内容がサムチェック異常であるときに作用して、次回送信される応答パケットの内容を所定の誤答にすることによって、エラーカウンタの現在値を増加させておくことができる。

#### 【0104】

更にまた、この発明の電子制御装置は、監視制御回路部は受信確認応答手段と、応答間隔異常処理手段とを備えると共に、不揮発プログラムメモリは再送処理手段となる再送処理プログラムと確認返信異常処理手段となる処理プログラムとを備えている。

従って、応答パケットの交信に関して相互に間隔時間の監視を行って、異常があればマイクロプロセッサや監視制御回路部の再起動又は警報停止を行って、安全性を向上することができる。

#### 【0105】

##### 【発明の効果】

以上説明したように、この発明の監視制御回路を有する電子制御装置によれば、不揮発プログラムメモリと、演算処理用RAMメモリと、入力センサ群が接続された入力インタフェース回路と、電気負荷群が接続された出力インタフェース回路と、上記不揮発プログラムメモリに格納された制御プログラムの内容と上記入力センサ群の動作状態に応動して上記電気負荷群を制御するマイクロプロセッサとを備える電子制御装置において、

上記マイクロプロセッサに対して一対のシリアルインタフェース回路によって接続され、上記マイクロプロセッサに対する質問情報を定期的に順次送信する照会パケット送信手段と、上記質問情報に対する正解情報格納手段と、上記質問情報に基づく回答情報と上記正解情報格納手段に格納されている正解情報とを比較して異常の有無を判定する異常判定手段とを有する監視制御回路部と、

上記不揮発プログラムメモリに対して入出力制御のための制御プログラムに加えて格納された被監視処理プログラムであって、上記照会パケット送信手段によって送信されてきた質問情報に基づいて実行される模擬演算実行処理手段と、上記模擬演算実行処理手段の実行結果を回答情報として上記監視制御回路部に送信する応答パケット送信手段と、上記照会パケットの受信間隔が異常であるときに上記監視制御回路部を再起動又は警報停止するための逆監視手段である受信間隔異常処理手段とによって構成された被監視処理手段とを備え、

上記制御プログラムに含まれる被試験対象プログラムと、上記被監視処理プログラムに含まれる模擬演算実行処理手段としての模擬演算実行処理プログラムとは少なくとも一部の共通プログラムを有しているものである。

そのため、マイクロプロセッサの制御プログラムの一部を模擬演算によって実行監視して異常の有無を判定できると共に、監視制御回路部が正常動作していることをマイクロプロセッサによって逆監視することによって制御装置全体の安全性を向上させることができる。

#### 【0106】

また、この発明の監視制御回路を有する電子制御装置によれば、不揮発プログラムメモリと、演算処理用RAMメモリと、入力センサ群が接続された入力インタフェース回路と、電気負荷群が接続された出力インタフェース回路と、上記不揮発プログラムメモリの内容と上記入力センサ群の動作状態に応動して上記電気負荷群を制御するマイクロプロセッサとを備える電子制御装置において、

上記マイクロプロセッサに対して一対のシリアルインタフェース回路によって接続され、上記マイクロプロセッサに対する質問情報を定期的に順次送信する照会パケット送信手段と、上記質問情報に対する正解情報格納手段と、上記質問情報に基づく回答情報と上記正解情報格納手段に格納されている正解情報とを比較して異常の有無を判定する異常判定手段とを有する監視制御回路部と、

上記不揮発プログラムメモリに内蔵された被監視処理プログラムであって、上記照会パケット送信手段によって送信されてきた質問情報に基づいて実行される模擬演算実行処理手段と、上記模擬演算実行処理手段の実行結果を回答情報として上記監視制御回路部に送信する応答パケット送信手段と、上記照会パケットの受

信間隔が異常であるときに上記監視制御回路部を再起動又は警報停止するための逆監視手段である受信間隔異常処理手段とを有する被監視処理手段と、

上記マイクロプロセッサが発生するパルス列であるウォッチドグ信号のパルス幅が所定値を超過したときにリセットパルス信号を発生して、上記マイクロプロセッサ及び上記監視制御回路部を再起動又は警報停止させるウォッチドグタイマとを備え、

上記マイクロプロセッサは上記ウォッチドグタイマと上記監視制御回路部によって動作監視されると共に、上記監視制御回路部の監視制御動作を逆監視しているものである。

そのため、模擬演算実行処理プログラムによってマイクロプロセッサの動作を実行監視して異常の有無を判定できると共に、監視制御回路部が正常動作していることをマイクロプロセッサによって逆監視することによって制御装置全体の安全性を向上させることができる。更に、監視制御回路部が付加されてシステム全体が複雑化していても、ウォッチドグタイマによってマイクロプロセッサの暴走監視が行われているので、安全性を一層向上させることができる。

#### 【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 における監視制御回路を有する電子制御装置を示す全体構成図である。

【図 2】 図 1 の部分等価制御ブロック図である。

【図 3】 図 1 のシリアル通信のタイムチャートである。

【図 4】 図 1 のシリアル通信のパケット構成図である。

【図 5】 図 1 の CPU 動作説明用部分フローチャートである。

【図 6】 図 1 の CPU 動作説明用部分フローチャートである。

【図 7】 図 1 の CPU 動作説明用部分フローチャートである。

【図 8】 図 1 の CPU 動作説明用部分フローチャートである。

【図 9】 図 1 の CPU 動作説明用部分フローチャートである。

【図 10】 図 1 の CPU 動作説明用部分フローチャートである。

【図 11】 図 1 の CPU 動作説明用部分フローチャートであり、図 5 ～ 図 11 で、全体の CPU 動作説明用フローチャートを表す。

【図 1 2】 この発明の実施の形態 2 における電子制御装置を示す全体ブロック図である。

【図 1 3】 この発明の実施の形態 3 の電子制御装置の部分等価制御ブロック図である。

【符号の説明】

10a	電子制御装置	102a	第一の同期パケット送信手段
10b	電子制御装置	102b	第二の同期パケット送信手段
13	外部ツール	102c	応答パケット送信手段
20a	マイクロプロセッサ	105a	再送処理手段
20b	マイクロプロセッサ	105b	再送処理手段
21	入力インタフェース回路	105c	再送処理手段
22	出力インタフェース回路	106a	再送処理手段
23	ツールインタフェース回路	106b	再送処理手段
24	RAMメモリ	106c	再送処理手段
25a	不揮発プログラムメモリ	107c	確認返信異常処理手段
25b	不揮発プログラムメモリ	115a	誤答送信確定手段
26a	制御プログラム	115b	誤答送信確定手段
26b	制御プログラム	115c	誤答送信確定手段
27a	被監視処理プログラム	116	現在値監視手段
27b	被監視処理プログラム	117c	受信間隔異常処理手段
28a	被試験対象プログラム	122	誤答送信選択手段
28b	模擬演算実行処理プログラム	203a	受信確認手段
28c	共通プログラム	203b	受信確認手段
28d	入力データテーブル	203c	受信確認手段
29	シリアルインタフェース回路	204a	正常返信パケット
30a	監視制御回路部	204b	不正常返信パケット
30b	監視制御回路部	204c	正常返信パケット
31	ウォッチドグタイマ	204d	不正常返信パケット
40	データ処理回路	204e	正常返信パケット

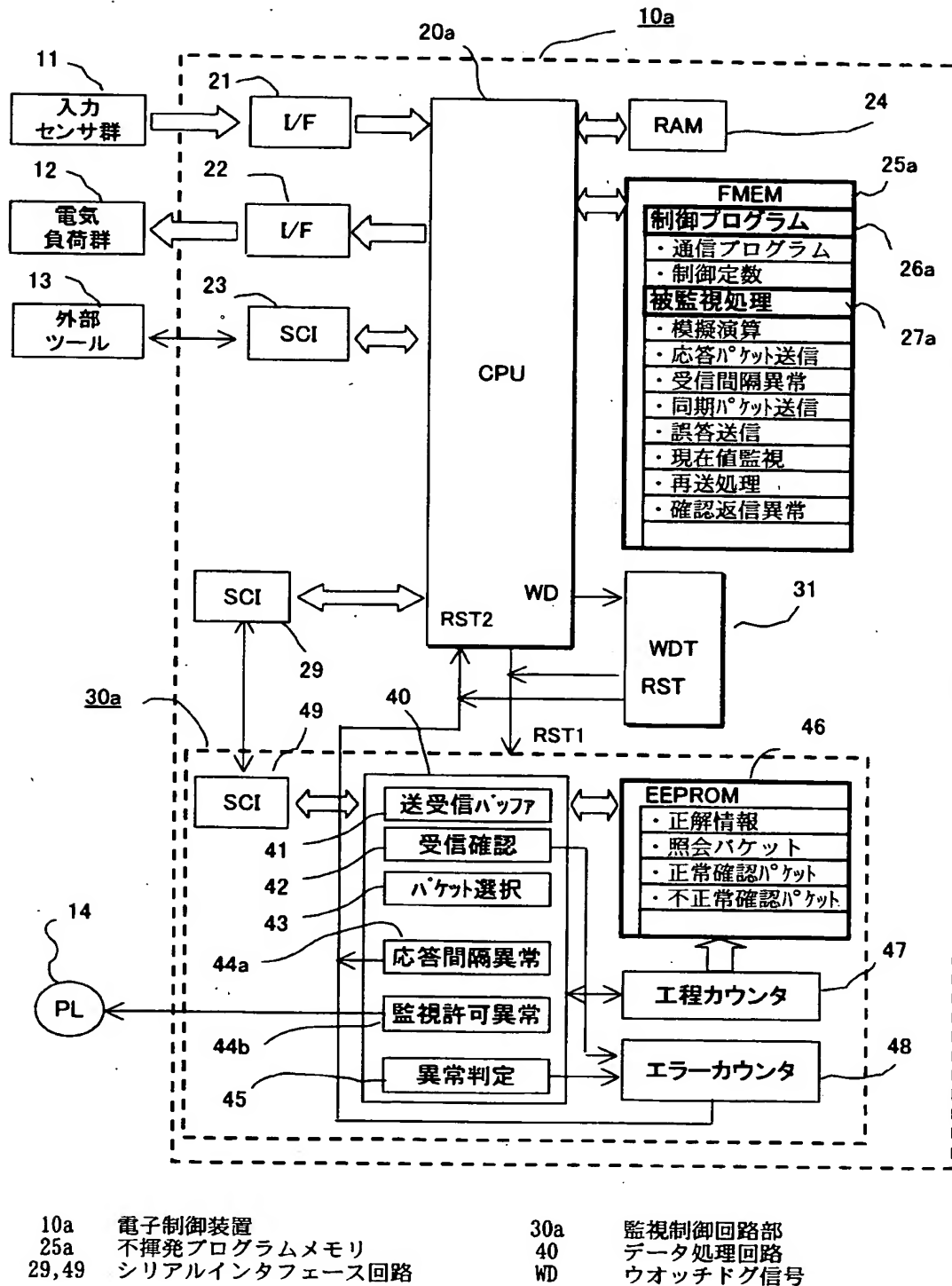
## 46 不揮発データメモリ (正解情報格納手段)

- |                        |      |               |
|------------------------|------|---------------|
|                        | 204f | 不正常返信パケット     |
| 48 エラーカウンタ             | 205a | 受信確認応答手段      |
| 49 シリアルインタフェース回路       | 205b | 受信確認応答手段      |
|                        | 205c | 受信確認応答手段      |
| RST リセットパルス信号          | 207a | 照会パケット送信手段    |
| WD ウォッチドグ信号            | 207b | 照会パケット送信手段    |
|                        | 207c | 照会パケット送信手段    |
| 80 補助マイクロプロセッサ         | 209a | 監視許可異常処理手段    |
| 84 補助RAMメモリ (正解情報格納手段) |      |               |
| 85 補助プログラムメモリ          | 209c | 応答間隔異常処理手段    |
| 89 シリアルインタフェース回路       | 209d | カウントアップ出力     |
| 281a~284a              |      | 被試験対象プログラム    |
| 281b~284b              |      | 模擬演算実行処理プログラム |
| 281c~283c              | 211  | 異常判定手段        |
| 281d~284d              |      | 入力データテーブル     |
| 284c・284e              |      | 共通プログラム。      |

【書類名】

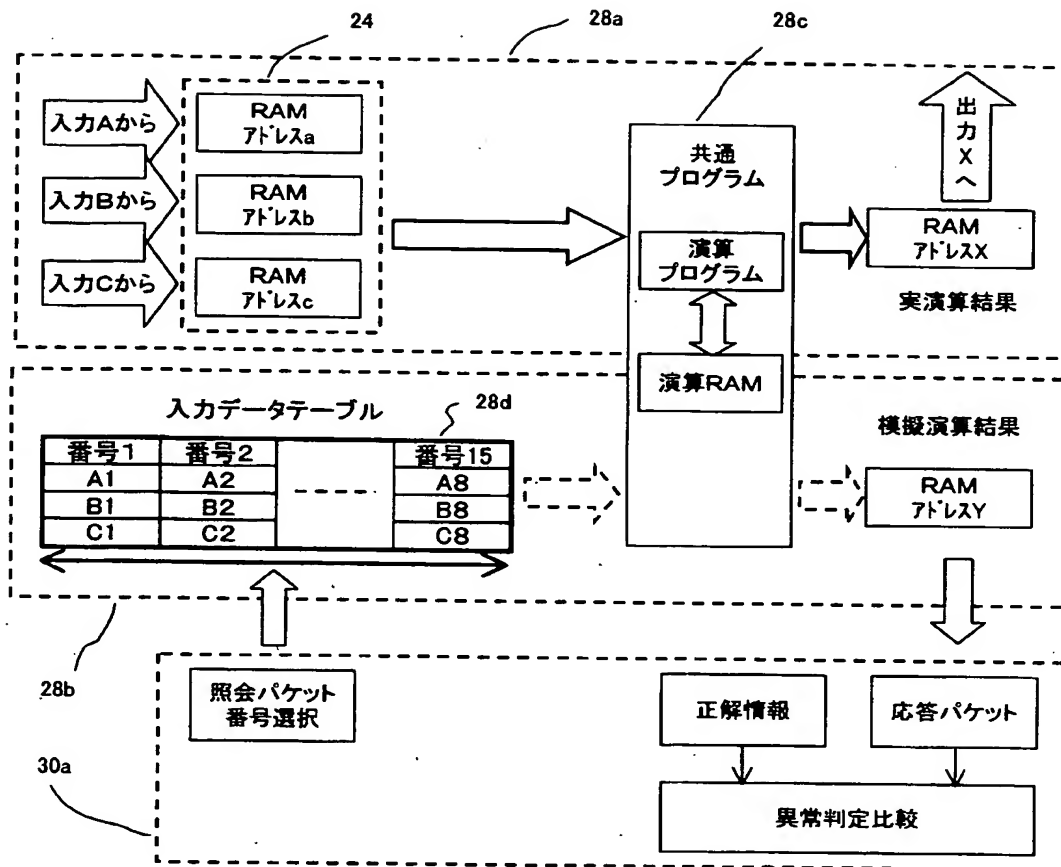
図面

【図 1】



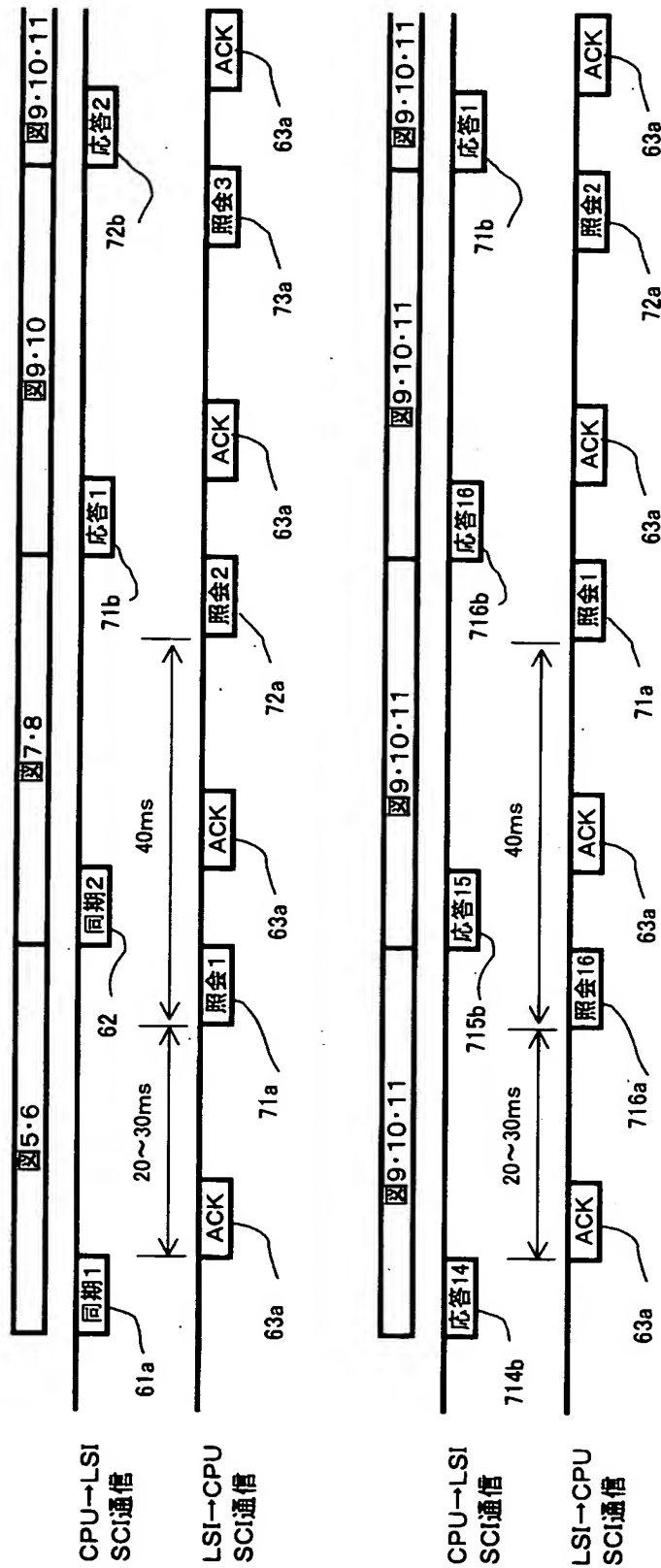


【図 2】

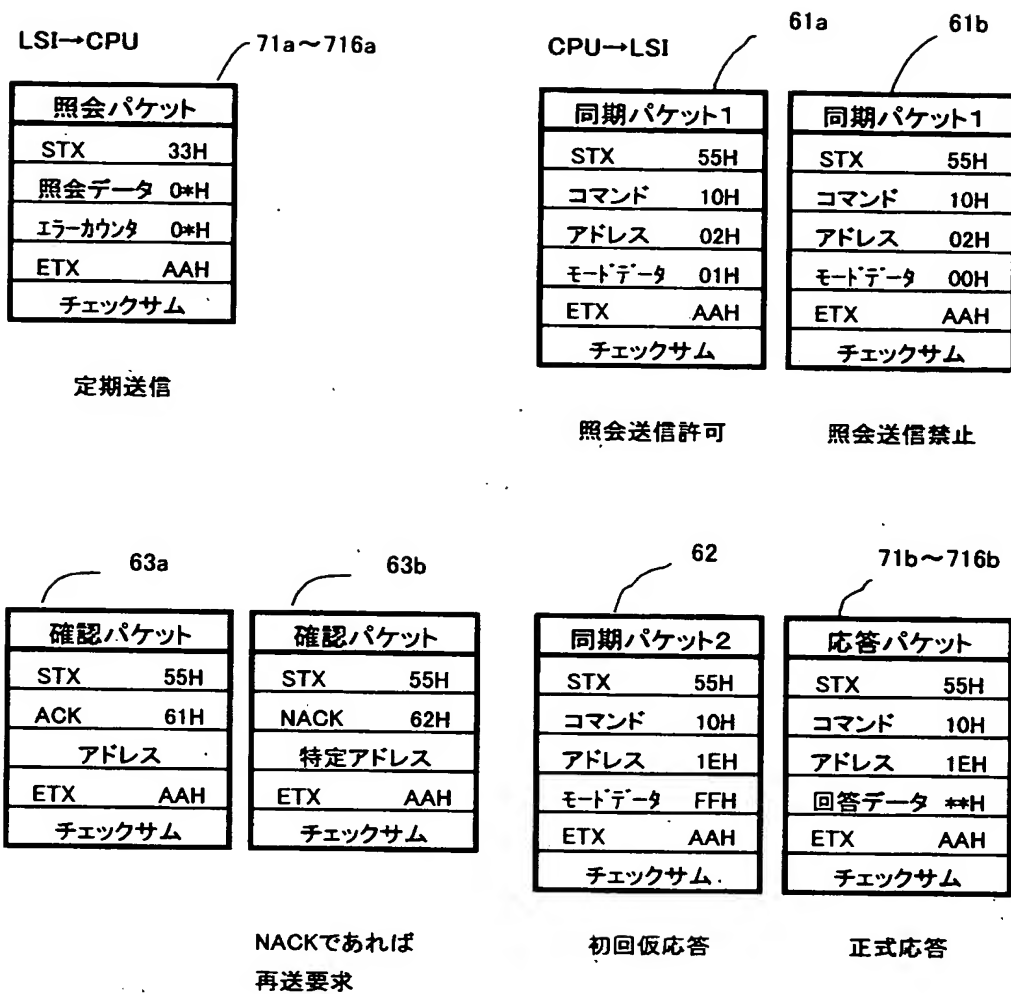


28a 被試験対象プログラム  
 28b 模擬演算実行処理プログラム  
 30a 監視制御回路部

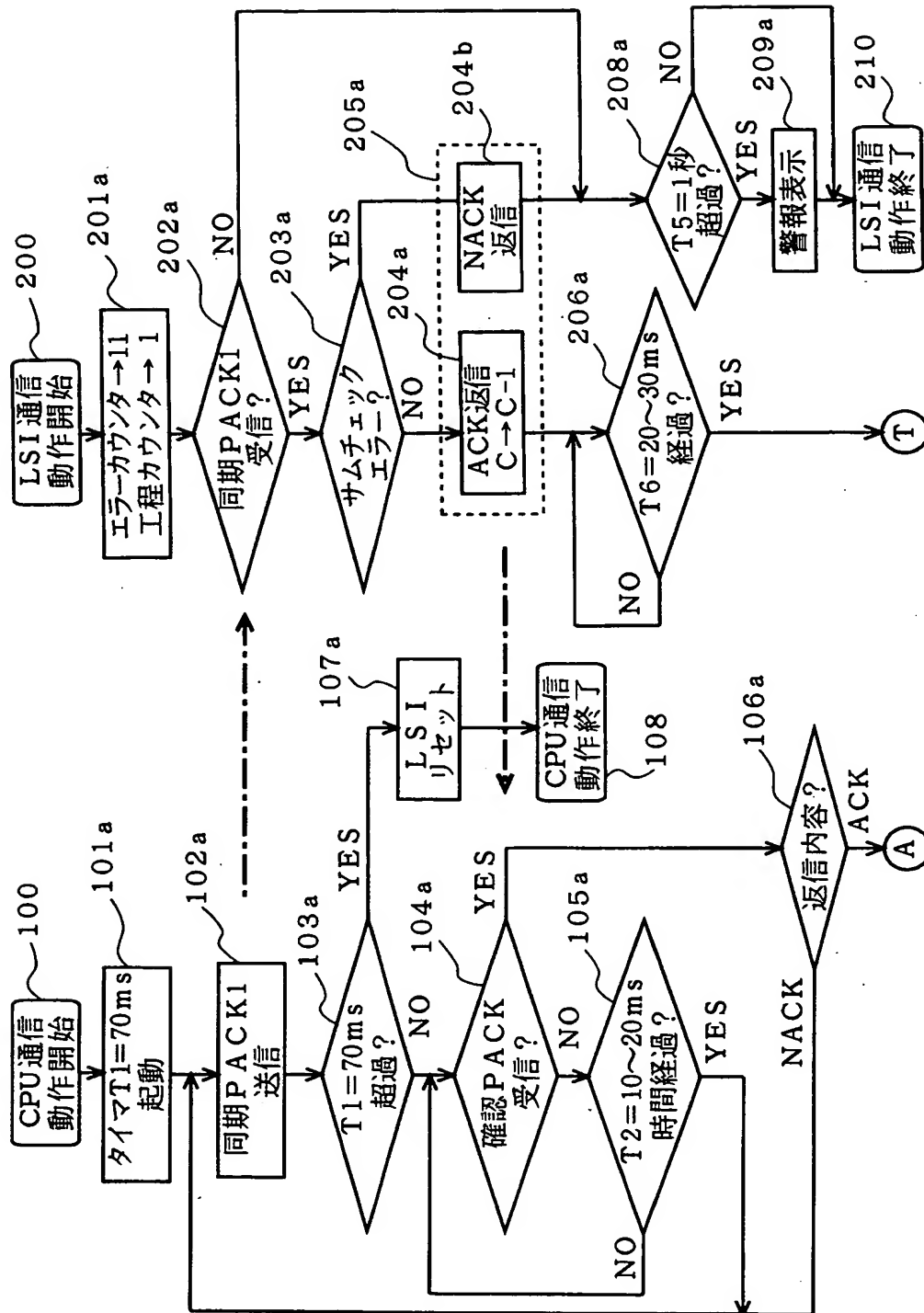
【図 3】



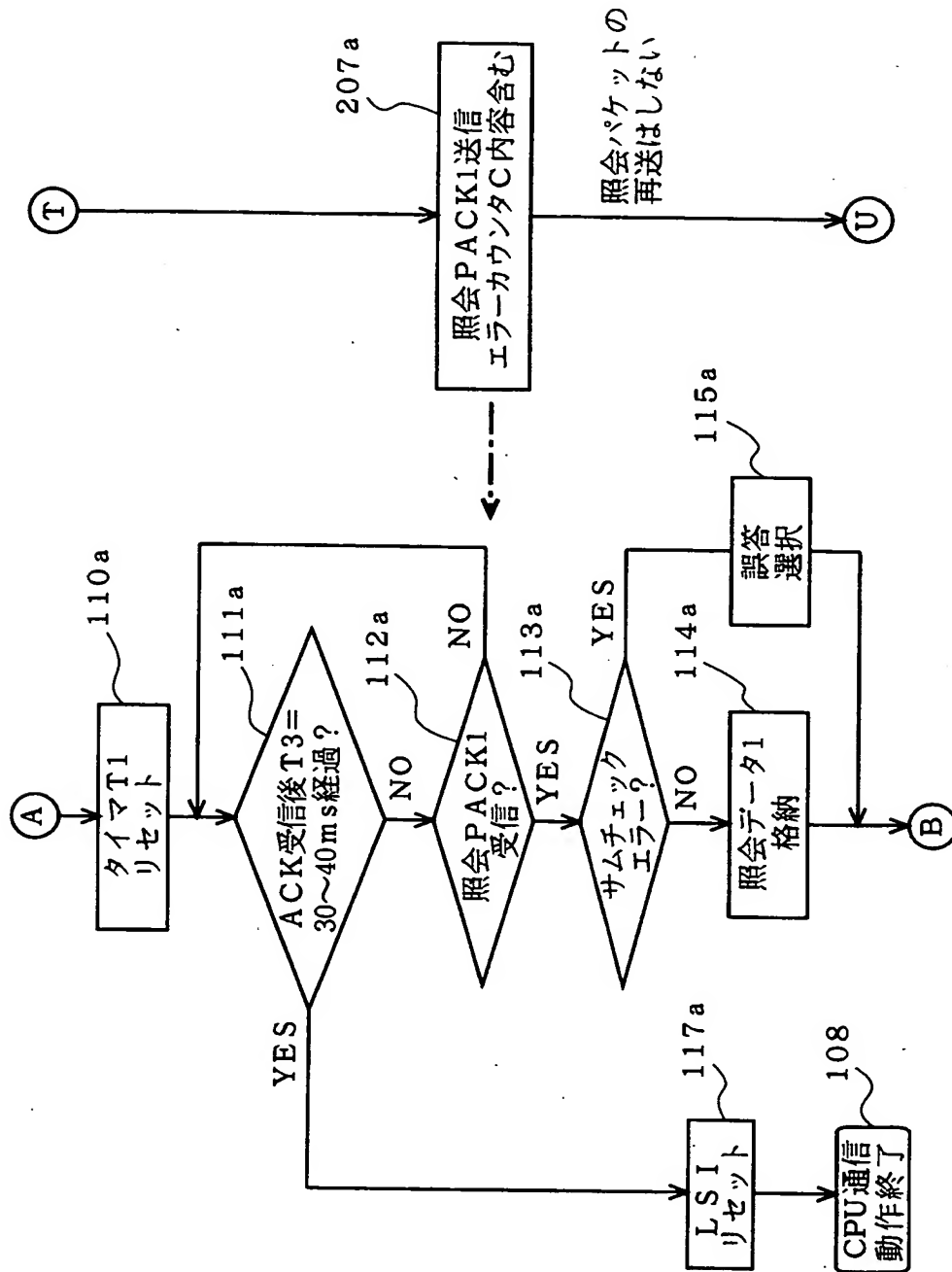
【図 4】



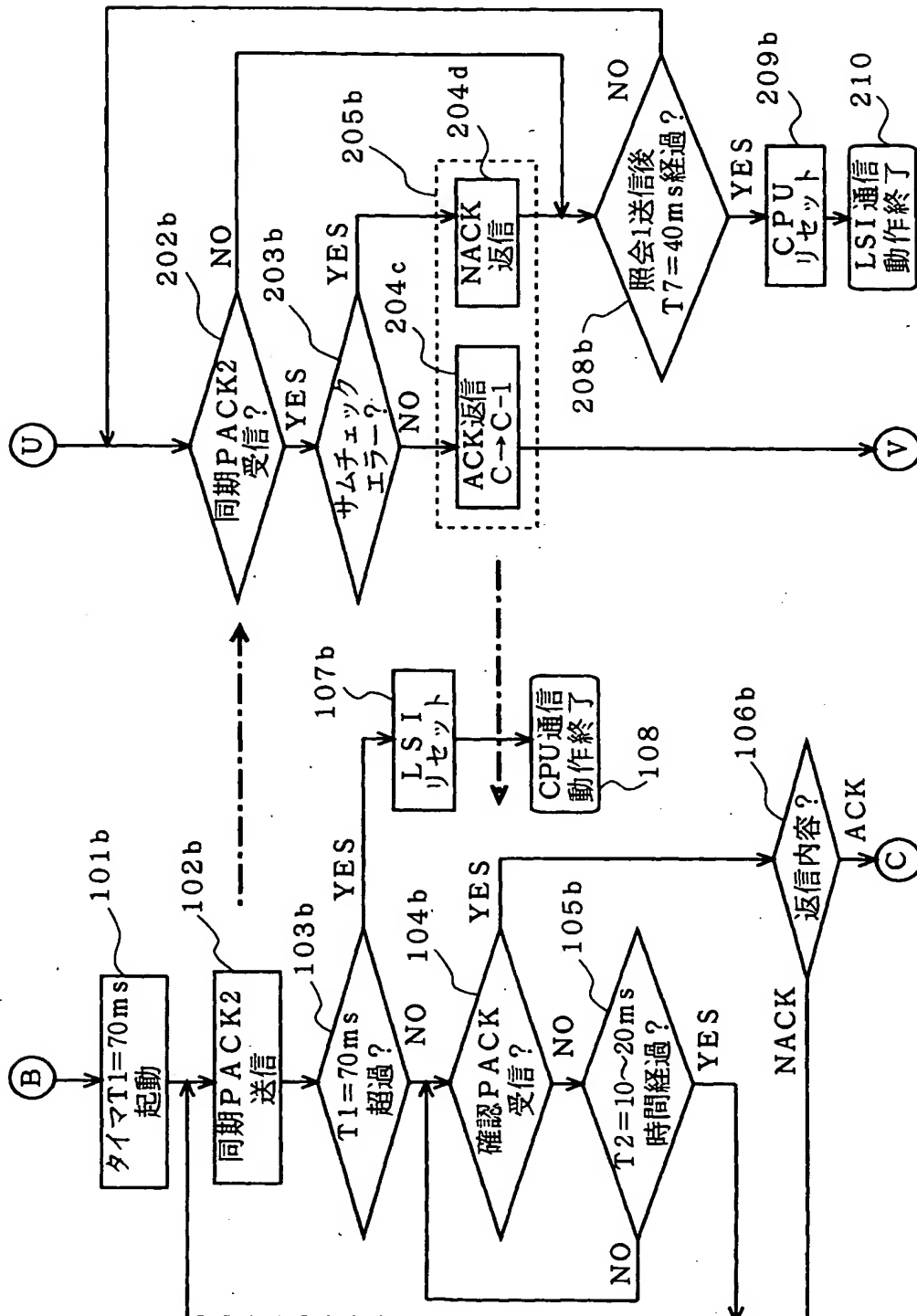
【図 5】



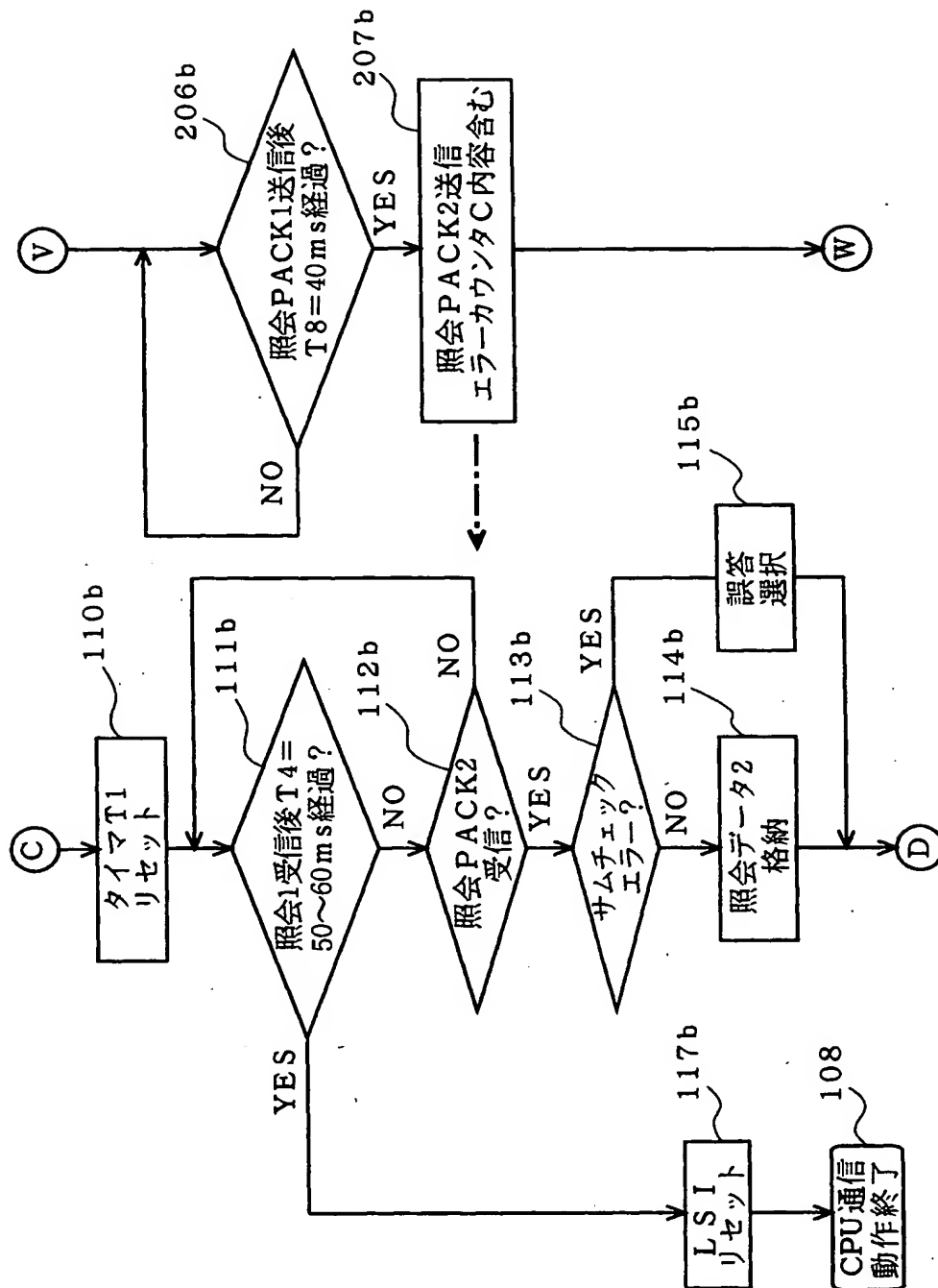
【図 6】



【図 7】



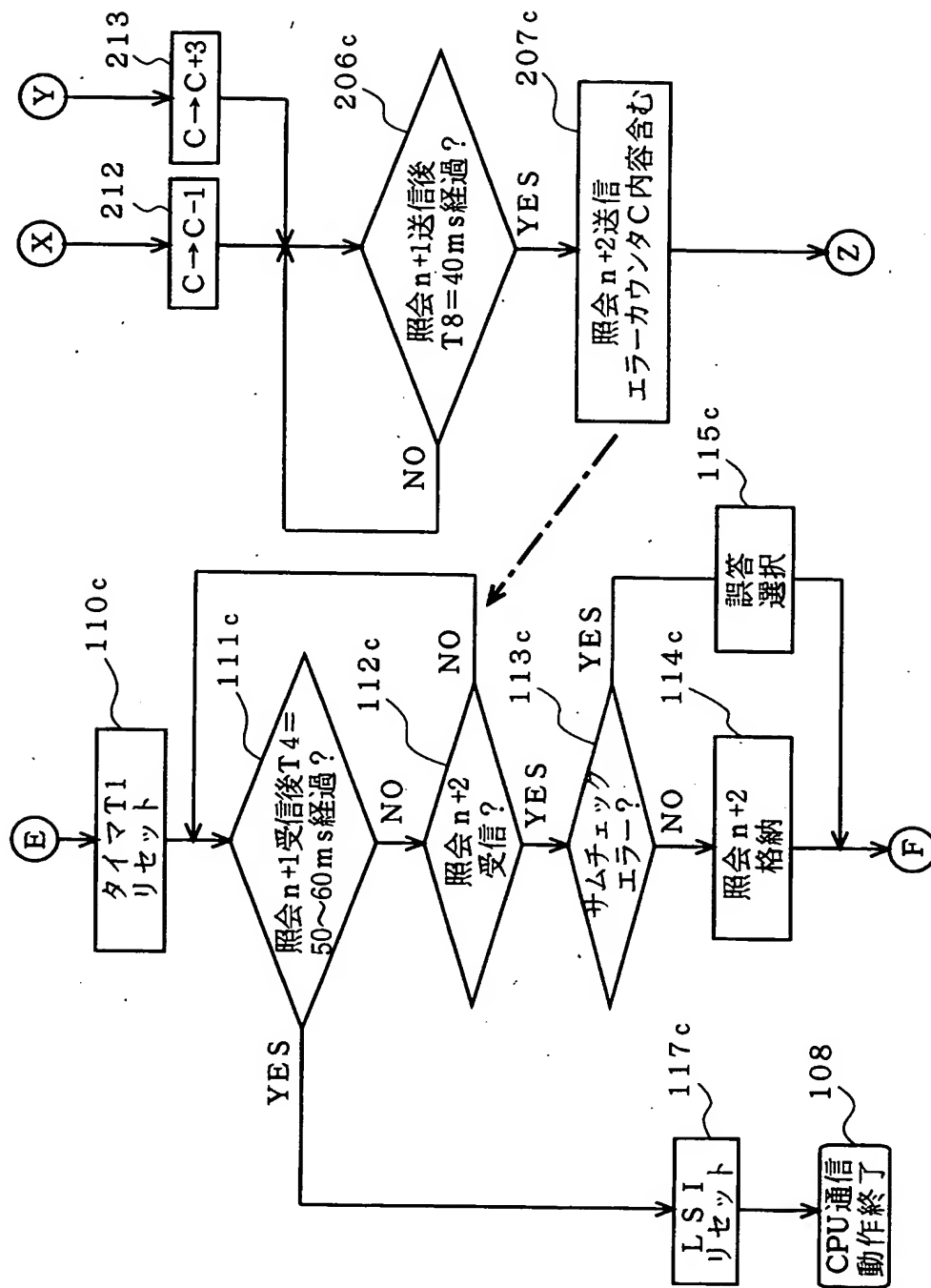
【図 8】



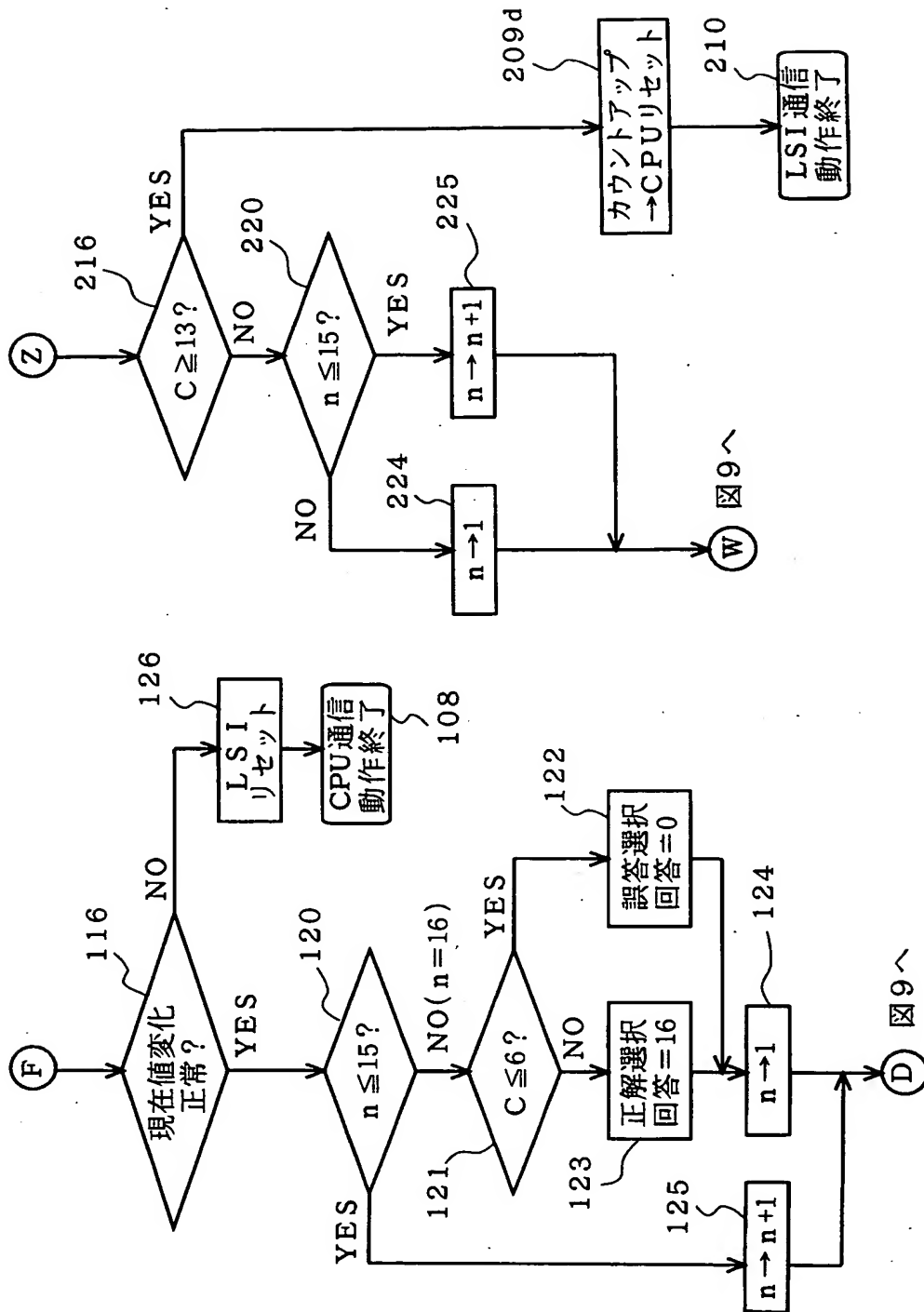




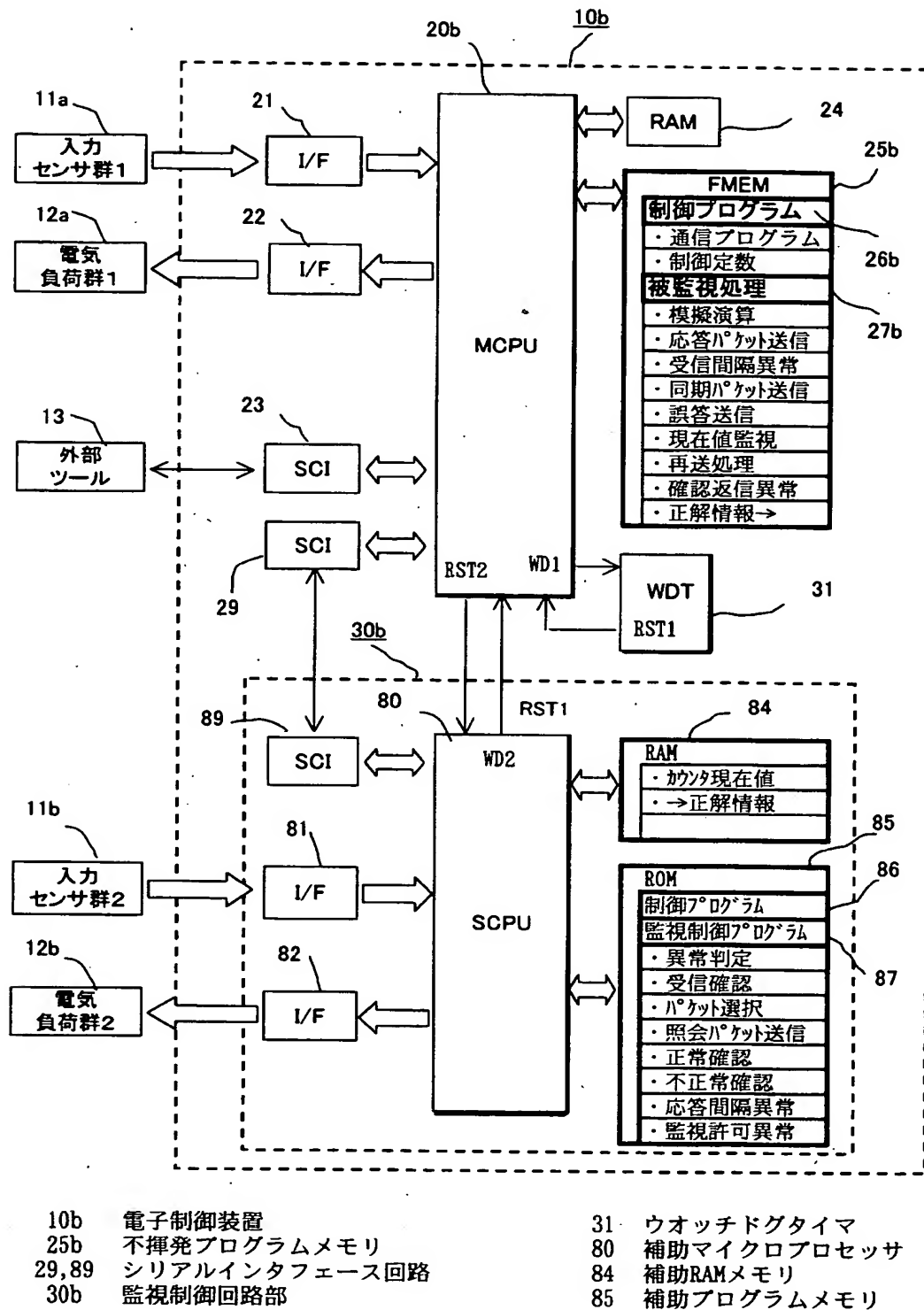
【図 10】



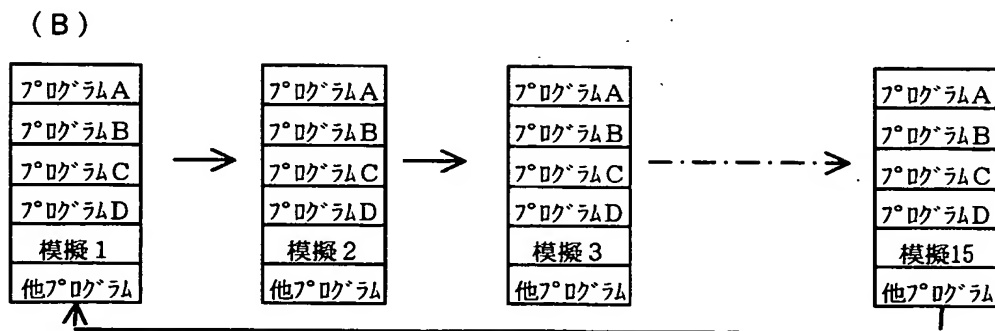
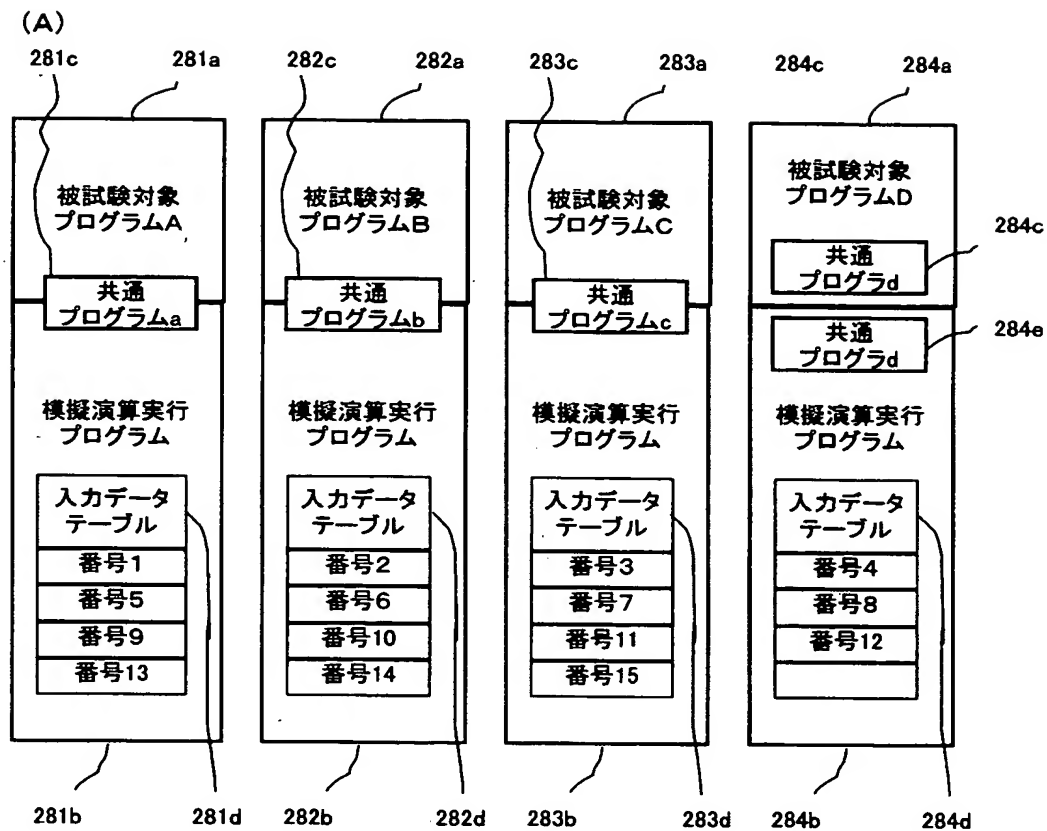
【図 11】



【図 12】



【図 13】



281b~284b

模擬演算実行処理プログラム

【書類名】 要約書

【要約】

【課題】 マイクロプロセッサを内蔵する電子制御装置において、制御プログラムの一部を定期的に代替実行して運転中に動作点検を行う監視制御回路を得る。

【解決手段】 不揮発プログラムメモリ25aの内容と入力センサ群11の動作状態に応動して電気負荷群12を制御するマイクロプロセッサ20aに対して、監視制御回路部30aは照会パケットによって多数の質問事項を順次送信し、マイクロプロセッサ20aからの応答内容と正解情報とを比較して異常判定を行う。マイクロプロセッサ20aは照会パケットの受信間隔を診断して監視制御回路部30aの監視動作を逆監視する。

【選択図】 図1

特願 2 0 0 3 - 1 9 4 5 7 5

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 6 0 1 3 ]

1. 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内 2 丁目 2 番 3 号

氏 名

三菱電機株式会社